

MANUFACTURING DEVICE AND MANUFACTURE OF ELECTRON SOURCE, ELECTRON SOURCE AND IMAGE FORMING DEVICE

Patent number: JP2000311603

Also published as:

Publication date: 2000-11-07

US6638128 (B1)

Inventor: SUZUKI TOMOTAKE

Applicant: CANON KK

Classification:

- **International:** H01J1/316; H01J9/02; H01J29/04; H01J31/12;
H01J1/30; H01J9/02; H01J29/04; H01J31/12; (IPC1-7):
H01J9/02; H01J1/316; H01J29/04; H01J31/12

- **European:**

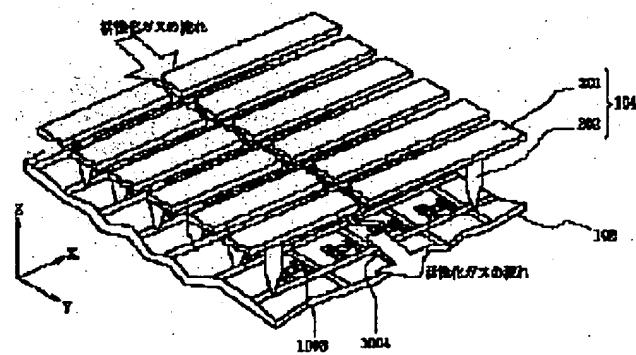
Application number: JP20000045678 20000223

Priority number(s): JP20000045678 20000223; JP19990044718 19990223

[Report a data error here](#)

Abstract of JP2000311603

PROBLEM TO BE SOLVED: To manufacture a plurality of surface conduction electron emitting elements with a uniform characteristic by providing an excitation process from electric connecting means connected and arranged to wires connecting the surface conduction electron emitting elements arranged on a substrate, and arranging the electric connecting means in contact with the wires at specific positions of the wires. **SOLUTION:** Line wires 1003, row wires 1004 and surface conduction electron emitting elements are formed on an electron source substrate 102, then the element electrodes are excited via the line wires 1003 and row wires 1004 for an excitation forming and excitation activation process and a preliminary drive process to manufacture an electron source. Probes 202 provided at three or more positions of probe sections (electric contact means) 104 are brought into contact with the line wires 1003 for the activation process. The contact pitch of the probes 202 with the line wires 1003 is designed so that the voltage difference applied to the element electrodes is set to 0.1 V or below, more desirably 0.01 V or below.



Data supplied from the esp@cenet database - Worldwide

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-311603

(P2000-311603A)

(43)公開日 平成12年11月7日 (2000.11.7)

(51)Int.Cl.⁷

H 01 J 9/02
1/316
29/04
31/12

識別記号

F I

H 01 J 9/02
29/04
31/12
1/30

テマコード(参考)

E
C
E

審査請求 未請求 請求項の数32 O.L (全 24 頁)

(21)出願番号 特願2000-45678(P2000-45678)
(22)出願日 平成12年2月23日 (2000.2.23)
(31)優先権主張番号 特願平11-44718
(32)優先日 平成11年2月23日 (1999.2.23)
(33)優先権主張国 日本 (JP)

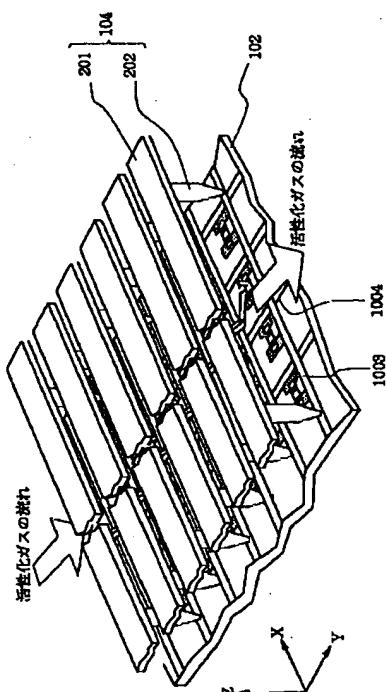
(71)出願人 000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号
(72)発明者 鈴木 朝岳
東京都大田区下丸子3丁目30番2号キヤノン株式会社内
(74)代理人 100086287
弁理士 伊東 哲也 (外1名)

(54)【発明の名称】電子源の製造装置及び製造方法、電子源並びに画像形成装置

(57)【要約】

【課題】電子放出源の製造に用いられる通電活性化法
及び予備駆動法を好適に実施する。

【解決手段】基体上に配置され、配線により結線された複数の電子放出素子を有する電子源を製造する際の通電活性化及び予備駆動における通電を、前記配線に3箇所以上で接続配置された電気的接続手段を介して行う。



【特許請求の範囲】

【請求項1】 基体上に配置され、配線により結線された複数の電子放出素子を有する電子源の製造装置において、前記配線に3箇所以上で接続される電気的接続手段を有することを特徴とする電子源の製造装置。

【請求項2】 前記電気的接続手段は前記配線の抵抗よりも低抵抗な部材を含むことを特徴とする請求項1に記載の電子源の製造装置。

【請求項3】 前記電気的接続手段は前記配線の3箇所以上に接続される3個以上の接触端子からなることを特徴とする請求項1または2に記載の電子源の製造装置。

【請求項4】 基体上の電子放出素子が配置された領域に、前記各々の接触端子の隣接距離が同じになるように配置されていることを特徴とする請求項3に記載の電子源の製造装置。

【請求項5】 活性化材料ガスを供給する手段を有し、前記接触端子は、活性化材料ガスの流れと平行になるように配置されていることを特徴とする請求項3または4に記載の電子源の製造装置。

【請求項6】 前記電気的接続手段を介して前記電子放出素子に通電する処理を行うために必要な電圧を発生し、該電子放出素子に供給する駆動手段を含むことを特徴とする請求項1～5のいずれかに記載の電子源の製造装置。

【請求項7】 前記駆動手段は、前記通電処理に適する電圧波形を発生する手段と、電圧波形を特定の行または列に印加するための選択手段と、行方向の配線ないしは列方向の配線に流れる電流を検出する手段と、駆動手段全体を制御する手段とからなることを特徴とする請求項6に記載の電子源の製造装置。

【請求項8】 前記電子放出素子及び電気的接続手段を取り囲む外壁を持つ真空排気手段を含むことを特徴とする請求項1～7のいずれかに記載の電子源の製造装置。

【請求項9】 基体上に配置され、配線により結線された複数の電子放出素子を有する電子源の製造方法において、前記配線に3箇所以上で接続配置された電気的接続

$$f(V_1) / \{V_1 \times f'(V_1) - 2f(V_1)\} > f(V_2) / \{V_2 \times f'(V_2) - 2f(V_2)\} \quad (\text{式1})$$

となる電圧V2にて通常の駆動を行うための予備駆動工程であることを特徴とする請求項9～13のいずれかに記載の電子源の製造方法。

【請求項19】 前記電圧V1は、前記電位印加工程の後に、前記電子放出素子を駆動すべく前記電圧V2を印加した時に前記電子放出素子に流れる電流をI2、前記

$f(V_1) / \{V_1 \times f'(V_1) - 2f(V_1)\}$ の値の変化率が5%以下になるまでの時間を行うことを特徴とする請求項18または19に記載の電子源の製造方法。

【請求項21】 前記電子源は、複数の電子放出素子が、マトリックス状にレイアウトされ、同じ行にレイア

手段からの通電により行われる通電工程を有することを特徴とする電子源の製造方法。

【請求項10】 前記電気的接続手段は前記配線の3箇所以上に接続配置されていることを特徴とする請求項9に記載の電子源の製造方法。

【請求項11】 前記電気的接続手段は前記配線の抵抗よりも低抵抗な部材を含むことを特徴とする請求項9または10に記載の電子源の製造方法。

【請求項12】 前記電気的接続手段は前記配線の3箇所以上に接続配置される3個以上の接触端子を有することを特徴とする請求項9～11のいずれかに記載の電子源の製造方法。

【請求項13】 基体上の電子放出素子が配置された領域に前記各々の接触端子の隣接距離が同じになるように配置したことを特徴とする請求項12に記載の電子源の製造方法。

【請求項14】 前記通電工程が通電フォーミング工程であることを特徴とする請求項9～13のいずれかに記載の電子源の製造方法。

【請求項15】 前記通電工程が通電活性化工程であることを特徴とする請求項9～11のいずれかに記載の電子源の製造方法。

【請求項16】 前記通電工程が通電活性化工程であることを特徴とする請求項12または13に記載の電子源の製造方法。

【請求項17】 前記接触端子を、活性化材料ガスの流れと平行になるように配置したことを特徴とする請求項16に記載の電子源の製造方法。

【請求項18】 前記通電工程が、通電フォーミングまたは通電活性化工程で形成された電子放出部に対して、電子放出素子からの電子放出を伴う電圧範囲における電流Iと電圧Vとの関係を $I = f(V)$ なる関数で表現し、 $f'(V)$ を電圧Vにおける $f(V)$ の微係数とする時、予めV1なる予備駆動電圧で駆動を行った後に、

【数1】

電位印加工程において前記電子放出素子に前記電圧V1を印加した時に前記電子放出素子に流れる電流をI1としたときに、 $I2 \leq 0.7I1$ となる電圧に設定される請求項18に記載の電子源の製造方法。

【請求項20】 前記電圧V1での駆動を、

【数2】

$$f(V_1) / \{V_1 \times f'(V_1) - 2f(V_1)\} \quad (\text{式2})$$

ウトされた前記電子放出素子の一方の端子が、同じ行方向の配線に接続され、同じ列にレイアウトされた前記電子放出素子の他方の端子が、同じ列方向の配線に接続されていることを特徴とする請求項9～20のいずれかに記載の電子源の製造方法。

【請求項22】前記電子源は、複数の電子放出素子が、直線状にレイアウトされ、前記電子放出素子の同じ側の端子が共通に接続され、反対側の端子が別の共通配線に接続されていることを特徴とする請求項9～20のいずれかに記載の電子源の製造方法。

【請求項23】基体上に、配線にて結線された複数の導電性膜を形成する工程と、前記配線に3箇所以上で接続配置された電気的接続手段により前記複数の導電性膜に通電を行なう通電工程とを有し、前記通電工程において前記基体の温度を制御することを特徴とする電子源の製造方法。

【請求項24】前記通電工程は、有機化合物の存在する雰囲気中にて行われることを特徴とする請求項23に記載の電子源の製造方法。

【請求項25】基体上に、複数の行方向配線と複数の列方向配線にてマトリックス配線された複数の導電性膜を形成する工程と、前記行方向配線に3箇所以上で接続配置された電気的接続手段により前記複数の導電性膜に通電を行なう通電工程とを有し、前記通電工程において前記基体の温度を制御することを特徴とする電子源の製造方法。

【請求項26】前記行方向配線は、前記列方向配線上に配置された配線であることを特徴とする請求項25に記載の電子源の製造方法。

【請求項27】前記通電工程は、有機化合物の存在する雰囲気中にて行われることを特徴とする請求項25に記載の電子源の製造方法。

【請求項28】基体上に、複数の行方向配線と複数の列方向配線にてマトリックス配線された複数の導電性膜を形成する工程と、前記複数の行方向配線のうち2以上の行方向配線に接続配置され、前記2以上の行方向配線の各々に3箇所以上で接続配置された電気的接続手段により前記複数の導電性膜に通電を行なう通電工程とを有し、前記通電工程において前記基体の温度を制御することを特徴とする電子源の製造方法。

【請求項29】前記行方向配線は、前記列方向配線上に配置された配線であることを特徴とする請求項28に記載の電子源の製造方法。

【請求項30】前記通電工程は、有機化合物の存在する雰囲気中にて行われることを特徴とする請求項28に記載の電子源の製造方法。

【請求項31】請求項1～8のいずれかに記載の製造装置または請求項9～30のいずれかに記載の製造方法を用いて製造されたことを特徴とするマルチ電子源。

【請求項32】請求項31に記載のマルチ電子源を用いたことを特徴とする画像形成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子源及びその応用である画像形成装置の製造技術に関し、より詳しくは

電子放出素子を多数個備えるディスプレイ装置の製造装置及び製造方法に関する。

【0002】

【従来の技術】従来から、電子放出素子として熱陰極素子と冷陰極素子の2種類が知られている。このうち冷陰極素子では、例えば電界放出型素子（以下FE型と記す）や、金属／絶縁層／金属型放出素子（以下MIM型と記す）や、表面伝導型放出素子などが知られている。

【0003】FE型の例としては、例えば、W. P. Dyke & W. W. Dolan, "Field emission", Advance in Electron Physics, 8, 89 (1956) や、あるいは、C. A. Spindt, "Physical properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248 (1976) などが知られている。また、MIM型の例としては、例えば、C. A. Mead, "Operation of tunnel-emission Devices", J. Appl. Phys., 32, 646 (1961) などが知られている。

【0004】また、表面伝導型放出素子としては、例えば、M. I. Elinson, Radio Eng. Electron Phys., 10, 1290, (1965) や、後述する他の例が知られている。表面伝導型放出素子は、基板上に形成された小面積の薄膜に、膜面上に平行に電流を流すことにより電子放出が生ずる現象を利用するものである。この表面伝導型放出素子としては、前記エリンソン等による SnO_2 薄膜を用いたものの他に、Au薄膜によるもの[G. Dittmer:

"Thin Solid Films", 9, 317 (1972)]や、 $\text{In}_2\text{O}_3/\text{SnO}_2$ 薄膜によるもの[M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf.", 519 (1975)]や、カーボン薄膜によるもの[荒木久他: 真空、第26巻、第1号、22 (1983)]等が報告されている。

【0005】これらの表面伝導型放出素子の素子構成の典型的な例として、図25に前述のM. Hartwellによる素子の平面図を示す。同図において、3001は基板で、3004はスパッタで形成された金属酸化物よりなる導電性薄膜である。導電性薄膜3004は図示のようにH字形の平面形状に形成されている。該導電性薄膜3004に後述の通電フォーミングと呼ばれる通電処理を施すことにより、電子放出部3005が形成される。図中の間隔Lは、0.5～1 [mm]、Wは、0.1 [mm]で設定されている。なお、図示の便宜から、電子放出部3005は導電性薄膜3004の中央に矩形の形状で示したが、これは模式的なものであり、実

際の電子放出部の位置や形状を忠実に表現しているわけではない。

【0006】M. Hartwellらによる素子をはじめとして上述の表面伝導型放出素子においては、電子放出を行う前に導電性薄膜3004に通電フォーミングと呼ばれる通電処理を施すことにより電子放出部3005を形成するのが一般的であった。すなわち、通電フォーミングとは、前記導電性薄膜3004の両端に一定の直流電圧、もしくは、例えば1V/分程度の非常にゆっくりとしたレートで昇圧する直流電圧を印加して通電し、導電性薄膜3004を局的に破壊もしくは変形もしくは変質せしめ、電気的に高抵抗な状態の電子放出部3005を形成することである。なお、局的に破壊もしくは変形もしくは変質した導電性薄膜3004の一部には、亀裂が発生する。前記通電フォーミング後に導電性薄膜3004に適宜の電圧を印加した場合には、前記亀裂付近において電子放出が行われる。

【0007】上述の表面伝導型放出素子は、構造が単純で製造も容易であることから、大面積にわたり多数の素子を形成できる利点がある。そこで、例えば本出願人による特開昭64-31332において開示されているように、多数の素子を配列して駆動するための方法が研究されている。また、表面伝導型放出素子の応用については、例えば、画像表示装置、画像記録装置などの画像形成装置や、荷電ビーム源等が研究されている。

【0008】特に、画像表示装置への応用としては、例えば本出願人によるU.S.P. 5, 066, 883や特開平2-257551において開示されているように、表面伝導型放出素子と電子ビームの照射により発光する螢光体とを組み合わせて用いた画像表示装置が研究されている。表面伝導型放出素子と螢光体とを組み合わせて用いた画像表示装置は、従来の他の方式の画像表示装置よりも優れた特性が期待されている。例えば、近年普及してきた液晶表示装置と比較しても、自発光型であるためバックライトを必要としない点や、視野角が広い点が優れていると言える。

【0009】

【発明が解決しようとする課題】本出願人らは、上記従来技術に記載したもののはじめとして、様々な材料、製法、構造の表面伝導型放出素子の製作を試みてきた。さらに、多数の表面伝導型放出素子を配列したマルチ電子源、並びにこのマルチ電子源を応用した画像表示装置について研究を行ってきた。

【0010】本出願人らは、例えば図26に示す電気的な配線方法によるマルチ電子ビーム源の製作を試みてきた。すなわち、表面伝導型放出素子を2次元的に多数個配列し、これらの素子を図示のようにマトリックス状に配線したマルチ電子ビーム源である。図中、4001は表面伝導型放出素子を模式的に示したもの、4002は行方向配線、4003は列方向配線である。行方向配線

4002及び列方向配線4003は、実際には有限の電気抵抗を有するものであるが、図においては配線抵抗4004及び4005として示されている。上述のような配線方法を、単純マトリックス配線と呼ぶ。なお、図示の便宜上、 6×6 のマトリックスで示しているが、マトリックスの規模はむろんこれに限ったわけではなく、例えば画像表示装置用のマルチ電子ビーム源の場合には、所望の画像表示を行うのに足りるだけの素子を配列し配線するものである。

【0011】表面伝導型放出素子を単純マトリックス配線したマルチ電子ビーム源においては、所望の電子ビームを出力させるため、行方向配線4002及び列方向配線4003に適宜の電気信号を印加する。例えば、マトリックスの中の任意の1行の表面伝導型放出素子を駆動するには、選択する行の行方向配線4002には選択電圧 V_s を印加し、同時に非選択の行の行方向配線4002には非選択電圧 V_{ns} を印加する。これと同期して列方向配線4003に電子ビームを出力するための駆動電圧 V_e を印加する。この方法によれば、配線抵抗4004及び4005による電圧降下を無視すれば、選択する行の表面伝導型放出素子には、 $V_e - V_s$ の電圧が印加され、また非選択行の表面伝導型放出素子には $V_e - V_{ns}$ の電圧が印加される。 V_e 、 V_s 、 V_{ns} を適宜の大きさの電圧にすれば選択する行の表面伝導型放出素子だけから所望の強度の電子ビームが出力されるはずであり、また列方向配線の各々に異なる駆動電圧 V_e を印加すれば、選択する行の素子の各々から異なる強度の電子ビームが出力されるはずである。また、表面伝導型放出素子の応答速度は高速であるため、駆動電圧 V_e を印加する時間の長さを変えれば、電子ビームが出力される時間の長さも変えることができるはずである。したがって、表面伝導型放出素子を単純マトリックス配線したマルチ電子ビーム源にはいろいろな用途が考えられており、例えば画像情報に応じた電圧信号を適宜印加すれば、画像表示装置用の電子源として応用できるものと期待される。

【0012】一方、発明者らは表面伝導型電子放出素子の特性を改善するための研究を銳意行った結果、製造工程において通電活性化処理を行うことが効果的であることを見いだした。

【0013】すでに述べたように、表面伝導型電子放出素子の電子放出部を形成する際には、導電性薄膜に電流を流して該薄膜を局的に破壊もしくは変形もしくは変質させて亀裂を形成する処理（通電フォーミング処理）を行う。この後さらに通電活性化処理を行うことにより電子放出特性を大幅に改善することが可能である。

【0014】すなわち、通電活性化処理とは通電フォーミング処理により形成された電子放出部に適宜の条件で通電を行って、その近傍に炭素もしくは炭素化合物を堆積せしめる処理のことである。例えば、適宜の分圧の有

機物が存在し、全圧が 10^{-4} ないし 10^{-5} [Torr] の真空雰囲気中において、電圧パルスを定期的に印加することにより、電子放出部の近傍に単結晶グラファイト、多結晶グラファイト、非晶質カーボンのいずれかか、もしくはその混合物を 500 [Å] 以下の膜厚で堆積させる。但し、この条件はほんの一例であって、表面伝導型放出素子の材質や形状により適宜変更されるべきであるのは言うまでもない。

【0015】このような処理を行うことにより、通電フォーミング直後と比較して、同じ印加電圧における放出電流を典型的には100倍以上増加させることができある。なお、通電活性化終了後には、真空雰囲気中の有機物の分圧を低減させるのが望ましい。従って上述の多数の表面伝導型電子放出素子を単純マトリックス配線したマルチ電子源を製造する際ににおいても、各素子に通電活性化処理を行うことが望ましい。

【0016】ところで、製造工程において通電によるフォーミングにより高抵抗化処理及び通電活性化処理を行う表面伝導型電子放出素子を画像形成装置に応用する場合には、以下のような問題があった。製造工程における通電活性化処理の問題点について以下に説明する。

【0017】表面伝導型電子放出素子を応用了した各種画像形成パネルにおいては当然のことながら高品位、高精細な画像が望まれる。これを実現するには、例えば単純マトリックス配線された多数の表面伝導型電子放出素子を用いる。このため、行及び列の数が数百～数千にも達する非常に多くの素子配列が必要となり、かつ各表面伝導型電子放出素子の素子特性が均一であることが望まれる。さらに、実際に高品位、高精細な各種画像形成パネルを作製するためには多数の表面伝導型電子放出素子を均一に、かつ高速に作製する必要がある。

【0018】例えば、多数の表面伝導型電子放出素子を通電フォーミングにより作製する方法として、本出願人は、特にその通電方法について既に出願している（特開平7-176265）。

【0019】また、多数の表面伝導型電子放出素子を通電活性化処理により作製する方法として、本出願人は、行列状にマトリックス配線された表面伝導型電子放出素子を複数のグループに分割し、グループ単位に順次通電活性化用の電圧を印加してゆく方法を行った。即ち、図27に示すようなM行N列の表面伝導型電子放出素子に対して、例えば1行を単位として1行ずつ順次活性化用電圧を印加した。図中EY1～EYN、EX1～EXMは配線である。

【0020】図28は、例えば2行目の表面伝導型電子放出素子に通電活性化用電圧を印加する場合を例示したもので、図示のように2行目配線には通電活性化用の電圧源を接続し、他の電極にはクランドレベル、即ち0 (V) を接続した。この方法によれば、原理的には2行目の表面伝導型電子放出素子だけに通電活性化用電圧が

印加され、他の表面伝導型電子放出素子には電圧が印加されたり電流が回り込むことはない。実際にこの方法で通電活性化を行ったところ、表面伝導型電子放出素子の電子放出特性の均一性は改善された。またこのような活性化の電圧印加方法は図29に示すようなはしご状に配線されたマルチ表面伝導型電子放出素子基板においても同様に適用できる。

【0021】本発明は、以上説明したような電子源の製造時の通電処理方法において、特性の均一な複数の電子放出素子を備える電子源を作成し得る新規な手段、方法を提供することを目的とする。また、本発明は、以上説明した上記通電処理方法の中でも、とりわけ通電活性化法において、特性の均一な複数の電子放出素子を備える電子源を作成し得る新規な手段、方法を提供することを目的とする。

【0022】

【課題を解決する手段及び作用】上記の目的を達成するため本発明の第1の態様に係る製造方法の特徴としては、基体上に配置され、配線により結線された複数の表面伝導型電子放出素子を有する電子源を製造する際、前記配線に接続配置された電気的接続手段からの通電により行われる通電工程を有することである。また、他の特徴としては、前記電気的接続手段は前記配線の3箇所以上に接触配置されていることである。

【0023】本発明の好ましい実施例においては、前記電気的接続手段は前記配線の3箇所以上に接触配置される3個以上の接触端子を有する。また、基体上の表面伝導型電子放出素子が配置された領域に前記各々の接触端子の隣接距離が同じになるように配置している。さらに、前記通電工程として特に通電活性化工程を行う場合のために、前記接触端子を、活性化材料ガスの流れと平行になるように配置している。

【0024】本発明に係る通電工程が適用される電子源は、複数の表面伝導型電子放出素子が、マトリックス状にレイアウトされ、同じ行にレイアウトされた前記表面伝導型電子放出素子の一方の端子が、行方向の配線に接続され、同じ列にレイアウトされた前記表面伝導型電子放出素子の他方の端子が、列方向の配線に接続されるものでも、複数の表面伝導型電子放出素子が、直線状にレイアウトされ、前記表面伝導型電子放出素子の同じ側の端子が共通に接続され、反対側の端子が別の共通配線に接続されるものでもよい。

【0025】また、本発明の第2の態様に係る製造方法は、基体上に、配線にて結線された複数の導電性膜を形成する工程と、前記配線に3箇所以上で接続配置された電気的接続手段により前記複数の導電性膜に通電を行なう通電工程とを有し、前記通電工程において前記基体の温度を制御することを特徴とする電子源の製造方法である。ここで、前記通電工程は、有機化合物の存在する雰囲気中にて行われることが好ましい。

【0026】また、本発明の第3の態様に係る製造方法は、基体上に、複数の行方向配線と複数の列方向配線にてマトリックス配線された複数の導電性膜を形成する工程と、前記行方向配線に3箇所以上で接続配置された電気的接続手段により前記複数の導電性膜に通電を行なう通電工程とを有し、前記通電工程において前記基体の温度を制御することを特徴とする電子源の製造方法である。ここで、前記行方向配線は、前記列方向配線上に配置された配線であること、あるいは、前記通電工程は、有機化合物の存在する雰囲気中にて行われること、が好ましい。

【0027】また、本発明の第4の態様に係るに製造方法は、基体上に、複数の行方向配線と複数の列方向配線にてマトリックス配線された複数の導電性膜を形成する工程と、前記複数の行方向配線のうち2以上の中方向配線に接続配置され、前記2以上の行方向配線の各々に3箇所以上で接続配置された電気的接続手段により前記複数の導電性膜に通電を行なう通電工程とを有し、前記通電工程において前記基体の温度を制御することを特徴とする電子源の製造方法である。ここで、前記行方向配線は、前記列方向配線上に配置された配線であること、あるいは、前記通電工程は、有機化合物の存在する雰囲気中にて行われること、が好ましい。

【0028】また、以上説明したいくつかの構成は、予備駆動処理においても有効であり、これらを適用することで配線上に発生する電圧分布が解消されさらに活性化ガスの分布が無く、素子特性の均一な電子源が実現できた。ここで、予備駆動処理について説明をしておく。

【0029】すでに述べたように、表面伝導型放出素子の電子放出部を形成する際には、通電フォーミング処理後、通電活性化処理により電子放出部の近傍に炭素もし

$$I = A \cdot (\beta \cdot V)^2 \cdot \exp(-B / (\beta \cdot V)) \quad (式3)$$

で表される。上記式中、A並びにBは、電子放出部近傍の材料並びに放出面積に依存する定数であり、 β は電子放出部近傍の形状に依存するパラメータであり、電圧Vに β を乗じた値が電界強度となる。ここで、FE型の電子放出素子を例に取って説明するのは、表面伝導型の電子放出素子においても同式を一对の電極間に印加した電圧Vに対して、電子電流または放出電流Iと置き換える

$$-V/S$$

が、カソード23とゲート24間に形成される電界の強度に比例することが分かる。

【0035】さらに、上記関係をもう少し一般化して表

$$I = f(V)$$

なる関数で表現し、 $f'(V)$ を電圧Vにおけるf(V)の微係数とする時、電圧Vにおける電界強度は(式3)より、

$$\begin{aligned} F &= \beta \cdot V \\ &= B \cdot f(V) / \{V \cdot f'(V) - 2f(V)\} \end{aligned} \quad (式6)$$

くは炭素化合物を堆積せしめている。さらに通電活性化終了後には、安定化工程を行うことが好ましい。この工程は、真空容器内の有機物質を排氣する工程である。真空容器を排氣する真空排氣装置は、装置から発生するオイル等の有機物質が素子の特性に影響を与えないよう、オイルを使用しないものを用いるのが好ましい。具体的には、磁気浮上型ターボ分子ポンプ、クライオポンプ、ソープションポンプ、イオンポンプ等の真空排氣装置を挙げることが出来る。真空容器内の有機成分の分圧は、上記の炭素及び炭素化合物がほぼ新たに堆積しない分圧で 1×10^{-6} Pa以下が好ましく、さらには 1×10^{-8} Pa以下が特に好ましい。さらに真空容器内を排氣するときには、真空容器全体を加熱して、真空容器内壁や、電子放出素子に吸着した有機物質分子を排氣しやすくなるのが好ましい。安定化工程により得られるこのような真空雰囲気中の有機物の分圧を低減した雰囲気で、通常の駆動に先立って施される通電処理が予備駆動処理である。

【0030】表面伝導型放出素子において駆動中の電子放出部近傍の電界強度は極めて高い。このため同一の駆動電圧で長期間駆動すると、放出電子量が徐々に低下するという問題があった。高い電界強度に起因する電子放出部近傍の経時的な変化が、放出電子量の低下となつて現れているものと思われる。

【0031】この点について説明する。FowlerとNordheimによれば、FE型の電子放出素子から放出される電流Iと、カソード-ゲート間に印加される電圧Vとの関係は

【0032】

【数3】

だけで同様に表現されることを見出したためである。

【0033】図17のグラフにプロットされた電気特性を直線(図17中の破線)で近似すると、印加電圧Vを近似直線の傾きSで除した値に負符号を付けた値

【0034】

【数4】

(式4)

現すると、放出電流Iと電圧Vとの関係を

【0036】

【数5】

(式5)

【0037】

【数6】

と表され、

【0038】

$$f(V) / \{V \cdot f'(V) - 2f(V)\}$$

に比例することがわかる。

【0039】FE型電子放出素子における上記電界強度の代表的な値は、およそ 10^7 V/cm のオーダーと非常に高い値である。この点もまた、表面伝導型電子放出素子の一対の電極間に適用される。

【0040】このように大きな電界強度のもとで、通常の方法によって長期間駆動を継続していくと、強電界下における構成部材の変化が不定期に発生し、放出電流値が不安定になる。また、上記変化が不可逆的に起こると、放出電流の低下を伴うことが多く、画像表示装置においては輝度の低下となって現れる。上述の駆動中の電流の不安定性は、通常の駆動に先立ち行われる駆動方法である予備駆動を行うことで低減することができる。

【0041】本発明の予備駆動は、例えば以下のような手順にて実施する。先ず、予備駆動を適用する電子放出

$$I_1 \div (V_1 \times I'_{1-2} \times I_1) > I_2 \div (V_2 \times I'_{2-2} \times I_2) \quad (式8)$$

という関係が得られた場合、V1を予備駆動電圧（以下、Vpreと表記する）として採用し、V2を通常の駆動電圧（以下、Vdrと表記する）として採用する。

$$I_1 \div (V_1 \times I'_{1-2} \times I_1) < I_2 \div (V_2 \times I'_{2-2} \times I_2) \quad (式9)$$

という関係が得られた場合、V2を予備駆動電圧（以下、Vpreと表記する）として採用し、V1を通常の駆動電圧（以下、Vdrと表記する）として採用する。

【0045】以上予備駆動は、駆動時における電界強度が安定するまでの時間行なうことが望ましいが、予備駆動時の電界強度の相対的な変化率が5%以内に収まるまで予備駆動を継続すれば、引き続き駆動を行っても電界強度の変動率は5%程度以内に収まり、予備駆動の効果が十分実現されることがわかった。従って、（式7）より、 $f(V_1) / \{V_1 \cdot f'(V_1) - 2f(V_1)\}$ の値の変化率が5%以内になるまでの時間予備駆動を実施すればよい。

【0046】上記予備駆動時には、予備駆動時における電界強度の変化率をモニタしながら、電圧の印加を行うとよい。予備駆動電圧にはパルス電圧を好適に用いることができ、例えばパルス休止時間（パルス電圧が印加さ

$$E_{pre} = I_1 / (V_1 \cdot dI_1 / dV_1 - 2I_1)$$

となり、Epreの値の変化率を見ればよいことになる。

【0049】予備駆動における電圧波形としては、図19(a)、(b)、(c)に示すような電圧波形を用いることができる。図19(a)は予備駆動電圧V1をT1時間印加した直後に電圧V12までT12時間かけて電圧が変化する電圧波形である。図19(b)は、予備駆動電圧V1をT1時間印加した直後に電圧V12をT

【数7】

(式7)

素子の、少なくとも二組の異なる駆動電圧における印加電圧と放出電流、並びに、それぞれの印加電圧における放出電流の微係数を求める。例えば、図18に示すように、V1の印加電圧に対応する放出電流値I1と、V1をdV1だけ微小変化させた時の放出電流の変化量dI1から、放出電流の微係数I'1を $I'_{1-1} = dI_1 / dV_1$ より求め、同様に、V2に対応する放出電流値I2と、微係数I'2を求める。

【0042】次に、各印加電圧V1、V2に対応する（式7）中のf(V)をI1、I2とし、f'(V)をI'1、I'2として、（式7）から求まる値を比較する。この時例えば、

【0043】

【数8】

逆に、

【0044】

【数9】

れてから、次のパルス電圧が印加されるまでの間）に電界強度の変化率を算出しながら電圧の印加を行い、上記変化率が5%以内になったところで電圧の印加を停止すればよい。

【0047】予備駆動時の電界強度の変化率を見るためには、例えば以下の方法を用いることができる。予備駆動時に、予備駆動電圧V1及びV1と微少電圧dV1異なる電圧V12を連続して印加し、それぞれの電圧を印加した時に流れる電流I1、I12、及びI1、I12の差dI1を求める。ここで、 $f'(V_1) = dI_1 / dV_1$ であり、また、（式5）より $f(V_1) = I_1$ であるから、上記 $f(V_1) / \{V_1 \cdot f'(V_1) - 2f(V_1)\}$ は

【0048】

【数10】

(式10)

12時間印加する電圧波形である。また、図19(c)は、予備駆動電圧V1をT1時間印加した後にV12の電圧をT12時間印加する電圧波形である。各印加電圧V1、V12における電流値より、上記Epreの値の変化率を求め、変化率が5%以内になるまで予備駆動を実施すればよい。

【0050】さらに、安定化工程を施した（式8）に該当する電子放出素子においては、素子電流If、放出電

流 I_e は素子電圧 V_f に対して M I 特性を有し、素子電圧 V_f に対して素子電流 I_f 及び放出電流 I_e が一義的に決まる特性を有する。またこの時の $I_f - V_f$ 特性、 $I_e - V_f$ 特性は、安定化工程後に印加された最大電圧 V_{max} に依存する。

【0051】この電子放出素子の $I - V$ 特性について 図20 (a)、(b) を用いて説明する。図20 (a) は I_f と V_f の関係を示した図であり、図20 (b) は I_e と V_f との関係を示した図である。

【0052】図20 (a)、(b)において 実線で示されるのは 最大電圧 $V_{max} = V_{max1}$ で駆動した素子の $I - V$ 特性である。この素子を V_{max1} より低い素子電圧で駆動する時には、この実線で示される $I - V$ 特性と同じ $I - V$ 特性を有する。しかし、 V_{max1} 以上の電圧 V_{max2} で駆動すると 素子は図中破線で示されるように異なる $I - V$ 特性を示すようになり この素子を V_{max2} より低い素子電圧で駆動する時には この破線で示される $I - V$ 特性と同じ $I - V$ 特性を有するようになる。これは 電子放出素子に印加される最大電圧 V_{max} によって 電子放出部の形状や電子放出面積等が変化するためと考えられる。

【0053】予備駆動工程において素子電圧 V_1 なる電圧で素子を予備駆動することにより 電子放出素子は図21に示すように $V_{max} = V_1$ なる電圧によって一義的に決められる $I_f - V_f$ 特性及び $I_e - V_f$ 特性を有するようになる。

【0054】次に 予備駆動終了時の素子電圧 V_f1 における素子電流を I_f1 とし 予備駆動により決められた $I_f - V_f$ 特性より、 $I_f2 \leq 0.7 I_f1$ となる V_f2 を選択し駆動電圧とする (図21中の V_f2)。これは、 $I_f2 \leq 0.7 I_f1$ となる駆動電圧とすることにより、放出電流の低下を長時間抑制することができるからである。

【0055】素子電圧 V_f1 で予備駆動を行った素子に 上述のように $I_f2 \leq 0.7 I_f1$ となる駆動電圧 V_f2 を印加しても 電子放出部の形状や放出面積の変化はほとんど生じないと考えられるため 駆動時においては 予備駆動時とほぼ同じ放出面積を有しながら 予備駆動時よりも低い素子電流 I_f で駆動することになる。そのため 駆動時に電子放出部に流れる素子電流の電流密度を下げることができ、電子放出部の熱的な劣化を抑え、長時間安定に電子放出させることができるものと考えられる。

【0056】上記予備駆動は、予備駆動後に予備駆動電圧よりも低い電圧で駆動する際に 電子放出素子の $I_f - V_f$ 特性及び $I_e - V_f$ 特性が変化しないために必要な時間行えばよく、パルス幅が数 μsec ~ 数十 $m sec$ 、好ましくは $10 \mu sec$ ~ $10 m sec$ のパルス電圧を数パルス~数十パルス以上印加することにより 行うことができる。

【0057】なお、 $V_1 > V_2$ なる電圧において (式9) のような関係がある場合は 予備駆動電圧 V_{pre} に対して通常の駆動電圧 V_{dr} が高い電圧となり、 V_{pre} の電圧にて変化させた電子放出部 (電子放出部Aと呼ぶ) に対しては、 V_{dr} の電圧を印加した時点でさらに高い電界強度がかかることになる。しかし この時点での電子放出量を左右する主たる電子放出源は異なる別の電子放出部 (電子放出部Bと呼ぶ) となっており 全放出電流に占める電子放出部Aの寄与は小さい。このような関係であっても やはり予備駆動は有効であり 予め V_{pre} の電圧を印加することで、電子放出部Aの大変動要因を予め減少させ、その後の V_{dr} の駆動電圧における破壊的変動を未然に防ぐことが出来る。

【0058】以上のように説明した予備駆動方法は、FE型電子放出素子や表面伝導型電子放出素子以外の電子放出素子、例えばMIM型の電子放出素子に対しても有効である。

【0059】多数の表面伝導型電子放出素子を単純マトリックス配線したマルチ電子源のように複数の電子放出素子を有する電子源を製造する際においても、駆動に先立って、電子源を構成する全ての素子に対し予備駆動処理を行うことが望ましい。

【0060】

【実施例】【実施例1】本発明の中心である活性化装置及び方法を示す前にまず、本発明を適用した画像表示装置の表示パネルの構成と製造法について、具体的な例を示して説明する。図6は、本実施例に用いた表示パネルの斜視図であり、内部構造を示すためにパネルの1部を切り欠いて示している。図中、1005はリアプレート、1006は側壁、1007はフェースプレートであり、1005~1007により表示パネルの内部を真空中に維持するための気密容器を形成している。気密容器を組み立てるにあたっては、各部材の接合部に十分な強度と気密性を保持させるため封着する必要があるが、後述する方法でリアプレートのフォーミング活性化を行ってから、例えばフリットガラスを接合部に塗布し、アルゴン雰囲気中で、摄氏400~500度で10分以上焼成することにより封着を達成した。気密容器内部を真空中に排気する方法については後述する。

【0061】リアプレート1005には、基板1001が固定されているが、該基板上には冷陰極素子1002がN×M個形成されている。N、Mは2以上の正の整数であり、目的とする表示画素数に応じて適宜設定される。例えば、高品位テレビジョンの表示を目的とした表示装置においては、N=3000、M=1000以上の数を設定することが望ましい。また通常のテレビジョンにおいてもその半分程度の画素数が必要であり、本実施例においては、N=3072、M=480とした。これを16:9の画面サイズに合わせて配分して行配線間ピッチと列配線間ピッチの比は3.6:1になった。前記

$N \times M$ 個の冷陰極素子は、M本の行方向配線 1003 と N本の列方向配線 1004 により単純マトリックス配線されている。前記、1001～1004 によって構成される部分をマルチ電子源と呼ぶ。なお、マルチ電子源の製造方法や構造については、後で詳しく述べる。

【0062】本実施例においては、気密容器のリアプレート 1005 にマルチ電子源の基板 1001 を固定する構成としたが、マルチ電子源の基板 1001 が十分な強度を有するものである場合には、気密容器のリアプレートとしてマルチ電子源の基板 1001 自体を用いてよい。また、フェースプレート 1007 の下面には、螢光膜 1008 が形成されている。本実施例はカラー表示装置であるため、螢光膜 1008 の部分には CRT の分野で用いられる赤、緑、青の3原色の螢光体が塗り分けられている。各色の螢光体は、例えば図7の(A)に示すようにストライプ状に塗り分けられ、螢光体のストライプの間には黒色の導電体 1010 が設けてある。黒色の導電体 1010 を設ける目的は、電子ビームの照射位置に多少のずれがあっても表示色にずれが生じないようにすることや、外光の反射を防止して表示コントラストの低下を防ぐこと、電子ビームによる螢光膜のチャージアップを防止することなどである。黒色の導電体 1010 には、黒鉛を主成分として用いたが、上記の目的に適するものであればこれ以外の材料を用いてもよい。

【0063】また、3原色の螢光体の塗り分け方は前記図7(a)に示したストライプ状の配列に限られるものではなく、例えば図7(b)に示すようなデルタ状配列や、それ以外の配列であってもよい。なお、モノクロームの表示パネルを作成する場合には、単色の螢光体材料を螢光膜 1008 に用いればよく、また黒色導電材料は必ずしも用いなくともよい。

【0064】また、螢光膜 1008 のリアプレート側の面には、CRT の分野では公知のメタルバック 1009 を設けてある。メタルバック 1009 を設けた目的は、螢光膜 1008 が発する光の一部を鏡面反射して光利用率を向上させることや、負イオンの衝突から螢光膜 1008 を保護することや、電子ビーム加速電圧を印加するための電極として作用させることや、螢光膜 1008 を励起した電子の導電路として作用させることなどである。メタルバック 1009 は、螢光膜 1008 をフェースプレート基板 1007 上に形成した後、螢光膜表面を平滑化処理し、その上に A1 を真空蒸着する方法により形成した。なお、螢光膜 1008 に低電圧用の螢光体材料を用いた場合には、メタルバック 1009 は用いない。

【0065】また、本実施例では用いなかったが、加速電圧の印加用や螢光膜の導電性向上を目的として、フェースプレート基板 1007 と螢光膜 1008との間に、例えばITOを材料とする透明電極を設けてもよい。また、Dx1～Dxm 及び Dy1～Dyn 及び Hv は、当該表示パ

ネルと不図示の電気回路とを電気的に接続するために設けた気密構造の電気接続用端子である。Dx1～Dxm はマルチ電子源の行方向配線 1003 と、Dy1～Dyn はマルチ電子源の列方向配線 1004 と、Hv はフェースプレートのメタルバック 1009 と電気的に接続している。

【0066】また、気密容器内部を真空中に排氣するには、気密容器を組み立てた後、不図示の排気管と真空ポンプとを接続し、気密容器内を 10^{-7} [Torr] 程度の真空中まで排氣する。その後、排気管を封止するが、気密容器内の真空中度を維持するために、封止の直前あるいは封止後に気密容器内の所定の位置にゲッター膜(不図示)を形成する。ゲッター膜とは、例えば Ba を主成分とするゲッター材料をヒーターもしくは高周波加熱により加熱し蒸着して形成した膜であり、該ゲッター膜の吸着作用により気密容器内は 1×10^{-5} ないしは 1×10^{-7} [Torr] の真空中度に維持される。

【0067】以上、本発明実施例の表示パネルの基本構成と製法を説明した。次に、前記実施例の表示パネルに用いたマルチ電子源の製造方法について説明する。本発明の画像表示装置に用いるマルチ電子源は、冷陰極素子を単純マトリックス配線した電子源であれば、冷陰極素子の材料や形状あるいは製法に制限はない。したがって、例えば表面伝導型電子放出素子や FE 型、あるいは MIM 型などの冷陰極素子を用いることができる。しかし、表示画面が大きくてしかも安価な表示装置が求められる状況のもとでは、これらの冷陰極素子の中でも、表面伝導型電子放出素子が特に好ましい。すなわち、FE 型ではエミッターコーンとゲート電極の相対位置や形状が電子放出特性を大きく左右するため、極めて高精度の製造技術を必要とするが、これは大面積化や製造コストの低減を達成するには不利な要因となる。また、MIM 型では、絶縁層と上電極の膜厚を薄くてしかも均一にする必要があるが、これも大面積化や製造コストの低減を達成するには不利な要因となる。その点、表面伝導型電子放出素子は、比較的製造方法が単純なため、大面積化や製造コストの低減が容易である。また、発明者らは、表面伝導型電子放出素子の中でも、電子放出部もしくはその周辺部を微粒子膜から形成したものがとりわけ電子放出特性に優れ、しかも製造が容易に行えることを見いだしている。したがって、高輝度で大画面の画像表示装置のマルチ電子源に用いるには、最も好適であると言える。そこで、上記実施例の表示パネルにおいては、電子放出部もしくはその周辺部を微粒子膜から形成した表面伝導型電子放出素子を用いた。そこで、まず好適な表面伝導型電子放出素子について基本的な構成と製法及び特性を説明し、その後で多数の素子を単純マトリックス配線したマルチ電子源の構造について述べる。

【0068】(表面伝導型電子放出素子の好適な素子構成と製法) 電子放出部もしくはその周辺部を微粒子膜から形成する表面伝導型電子放出素子の代表的な構成に

は、平面型と垂直型の2種類があげられる。

(平面型の表面伝導型電子放出素子) まず最初に、平面型の表面伝導型電子放出素子の素子構成と製法について説明する。図8に示すのは、平面型の表面伝導型電子放出素子の構成を説明するための平面図(a)及び断面図(b)である。図中、1101は基板、1102と1103は素子電極、1104は導電性薄膜、1105は通電フォーミング処理により形成した電子放出部、1113は通電活性化処理により形成した薄膜である。

【0069】基板1101としては、例えば、石英ガラスや青板ガラスをはじめとする各種ガラス基板や、アルミナをはじめとする各種セラミクス基板、あるいは上述の各種基板上に例えば SiO_2 を材料とする絶縁層を積層した基板、などを用いることができる。

【0070】また、基板1101上に基板面と平行に対向して設けられた素子電極1102と1103は、導電性を有する材料によって形成されている。例えば、Ni、Cr、Au、Mo、W、Pt、Ti、Cu、Pd、Ag等をはじめとする金属、あるいはこれらの金属の合金、あるいは $\text{In}_2\text{O}_3 - \text{SnO}_2$ をはじめとする金属酸化物、ポリシリコンなどの半導体、などの中から適宜材料を選択して用いればよい。電極を形成するには、例えば真空蒸着などの製膜技術とフォトリソグラフィー、エッチングなどのバーニング技術を組み合わせて用いれば容易に形成できるが、それ以外の方法(例えば印刷技術)を用いて形成してもさしつかえない。

【0071】素子電極1102と1103の形状は、当該電子放出素子の応用目的に合わせて適宜設計される。一般的には、電極間隔は通常は数百オングストロームから数百マイクロメーターの範囲から適当な数値を選んで設計されるが、なかでも表示装置に応用するために好ましいのは数マイクロメーターより数十マイクロメーターの範囲である。また、素子電極の厚さdについては、通常は数百オングストロームから数マイクロメーターの範囲から適当な数値が選ばれる。

【0072】また、導電性薄膜1104の部分には、微粒子膜を用いる。ここで述べた微粒子膜とは、構成要素として多数の微粒子を含んだ膜(島状の集合体も含む)のことを指す。微粒子膜を微視的に調べれば、通常は、個々の微粒子が離間して配置された構造か、あるいは微粒子が互いに隣接した構造か、あるいは微粒子が互いに重なり合った構造が観測される。微粒子膜に用いた微粒子の粒径は、数オングストロームから数千オングストロームの範囲に含まれるものであるが、なかでも好ましいのは10オングストロームから200オングストロームの範囲のものである。また、微粒子膜の膜厚は、以下に述べるような諸条件を考慮して適宜設定される。すなわち、素子電極1102あるいは1103と電気的に良好に接続するのに必要な条件、後述する通電フォーミングを良好に行うのに必要な条件、微粒子膜自身の電気抵抗

を後述する適宜の値にするために必要な条件、などである。

【0073】具体的には、数オングストロームから数千オングストロームの範囲のなかで設定するが、なかでも好ましいのは10オングストロームから500オングストロームの間である。また、微粒子膜を形成するのに用いられる材料としては、例えば、Pd、Pt、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pbなどをはじめとする金属や、 PdO 、 SnO_2 、 In_2O_3 、 PbO 、 Sb_2O_3 などをはじめとする酸化物や、 HfB_2 、 ZrB_2 、 LaB_6 、 CeB_6 、 YB_4 、 GdB_4 などをはじめとする硼化物や、 TiC 、 ZrC 、 HfC 、 TaC 、 SiC 、 WC などをはじめとする炭化物や、 TiN 、 ZrN 、 HfN などをはじめとする窒化物や、Si、Geなどをはじめとする半導体や、カーボン、などがあげられ、これらの中から適宜選択される。

【0074】以上述べたように、導電性薄膜1104を微粒子膜で形成したが、そのシート抵抗値については、 10^3 から 10^7 [オーム/ sq] の範囲に含まれるよう設定した。なお、導電性薄膜1104と素子電極1102及び1103とは、電気的に良好に接続されるのが望ましいため、互いの一部が重なりあうような構造をとっている。その重なり方は、図8の例においては、下から、基板、素子電極、導電性薄膜の順序で積層したが、場合によっては下から基板、導電性薄膜、素子電極、の順序で積層してもさしつかえない。

【0075】また、電子放出部1105は、導電性薄膜1104の一部に形成された亀裂状の部分であり、電気的には周囲の導電性薄膜よりも高抵抗性質を有している。亀裂は、導電性薄膜1104に対して、後述する通電フォーミングの処理を行うことにより形成する。亀裂内には、数オングストロームから数百オングストロームの粒径の微粒子を配置する場合がある。なお、実際の電子放出部の位置や形状を精密かつ正確に図示するのは困難なため、図8においては模式的に示した。また、薄膜1113は、炭素もしくは炭素化合物よりなる薄膜で、電子放出部1105及びその近傍を被覆している。薄膜1113は、通電フォーミング処理後に、後述する通電活性化の処理を行うことにより形成する。

【0076】薄膜1113は、単結晶グラファイト、多結晶グラファイト、非晶質カーボンのいずれかか、もしくはその混合物であり、膜厚は500 [オングストローム] 以下とするが、300 [オングストローム] 以下とするのがさらに好ましい。なお、実際の薄膜1113の位置や形状を精密に図示するのは困難なため、図8においては模式的に示した。また、平面図(a)においては、薄膜1113の一部を除去した素子を図示した。

【0077】以上、好ましい素子の基本構成を述べたが、実施例においては以下のようないくつかの素子を用いた。すな

わち、基板1101には青板ガラスを用い、素子電極1102と1103にはNi薄膜を用いた。素子電極の厚さdは1000 [オングストローム]、電極間隔しは2 [マイクロメーター]とした。微粒子膜の主要材料としてPdもしくはPdOを用い、微粒子膜の厚さは約100 [オングストローム]、幅Wは100 [マイクロメータ]とした。

【0078】次に、好適な平面型の表面伝導型電子放出素子の製造方法について説明する。図9の(a)～(d)は、表面伝導型電子放出素子の製造工程を説明するための断面図で、各部材の表記は前記図8と同一である。1)まず、図9(a)に示すように、基板1101上に素子電極1102及び1103を形成する。形成するにあたっては、あらかじめ基板1101を洗剤、純水、有機溶剤を用いて十分に洗浄後、素子電極の材料を堆積させる。堆積する方法としては、例えば、蒸着法やスパッタ法などの真空成膜技術を用ればよい。その後、堆積した電極材料を、フォトリソグラフィー・エッチング技術を用いてパターニングし、(a)に示した一対の素子電極(1102と1103)を形成する。

【0079】2)次に、同図(b)に示すように、導電性薄膜1104を形成する。形成するにあたっては、まず前記(a)の基板に有機金属溶液を塗布して乾燥し、加熱焼成処理して微粒子膜を成膜した後、フォトリソグラフィー・エッチングにより所定の形状にパターニングする。ここで、有機金属溶液とは、導電性薄膜に用いる微粒子の材料を主要元素とする有機金属化合物の溶液である。具体的には、本実施例では主要元素としてPdを用いた。また、実施例では塗布方法として、ディッピング法を用いたが、それ以外の例えばスピナーフラワー法やスプレー法を用いてもよい。また、微粒子膜で作られる導電性薄膜の成膜方法としては、本実施例で用いた有機金属溶液の塗布による方法以外の、例えば真空蒸着法やスパッタ法、あるいは化学的気相堆積法などを用いる場合もある。

【0080】3)次に、同図(c)に示すように、フォーミング用電源1110から素子電極1102と1103の間に適宜の電圧を印加し、通電フォーミング処理を行って、電子放出部1105を形成する。通電フォーミング処理とは、微粒子膜で作られた導電性薄膜1104に通電を行って、その一部を適宜に破壊、変形、もしくは変質せしめ、電子放出を行うのに好適な構造に変化させる処理のことである。微粒子膜で作られた導電性薄膜のうち電子放出を行うのに好適な構造に変化した部分(すなわち電子放出部1105)においては、薄膜に適当な亀裂が形成されている。なお、電子放出部1105が形成される前と比較すると、形成された後は素子電極1102と1103の間で計測される電気抵抗は大幅に増加する。

【0081】通電方法をより詳しく説明するために、図

10に、フォーミング用電源1110から印加する適宜の電圧波形の一例を示す。微粒子膜で作られた導電性薄膜をフォーミングする場合には、パルス状の電圧が好ましく、本実施例の場合には同図に示したようにパルス幅T1の三角波パルスをパルス間隔T2で連続的に印加した。その際には、三角波パルスの波高値Vp.fを、順次昇圧した。また、電子放出部1105の形成状況をモニターするためのモニターパルスPmを適宜の間隔で三角波パルスの間に挿入し、その際に流れる電流を電流計1111で計測した。

【0082】本実施例においては、例えば 10^{-5} [Tor]程度の真空雰囲気下において、例えばパルス幅T1を1 [ミリ秒]、パルス間隔T2を10 [ミリ秒]とし、波高値Vp.fを1パルスごとに0.1 [V]ずつ昇圧した。そして、三角波を5パルス印加するたびに1回の割りで、モニターパルスPmを挿入した。フォーミング処理に悪影響を及ぼすことがないように、モニターパルスの電圧Vpmは0.1 [V]に設定した。そして、素子電極1102と1103の間の電気抵抗が 1×10^6 [オーム]になった段階、すなわちモニターパルス印加時に電流計1111で計測される電流が 1×10^{-7} [A]以下になった段階で、フォーミング処理にかかる通電を終了した。なお、上記の方法は、本実施例の表面伝導型電子放出素子に関する好ましい方法であり、例えば微粒子膜の材料や膜厚、あるいは素子電極間隔しなど表面伝導型電子放出素子の設計を変更した場合には、それに応じて通電の条件を適宜変更するのが望ましい。

【0083】4)次に、図9の(d)に示すように、活性化用電源1112から素子電極1102と1103の間に適宜の電圧を印加し、通電活性化処理を行って、電子放出特性の改善を行う。通電活性化処理とは、前記通電フォーミング処理により形成された電子放出部1105に適宜の条件で通電を行って、その近傍に炭素もしくは炭素化合物を堆積せしめる処理のことである。図8においては、炭素もしくは炭素化合物よりなる堆積物を部材1113として模式的に示した。なお、通電活性化処理を行うことにより、行う前と比較して、同じ印加電圧における放出電流を典型的には100倍以上に増加させることができる。

【0084】具体的には、 10^{-4} ないし 10^{-5} [Tor]の範囲内の真空雰囲気中で、電圧パルスを定期的に印加することにより、真空雰囲気中に存在する有機化合物を起源とする炭素もしくは炭素化合物を堆積させる。この雰囲気は、例えば油拡散ポンプやロータリーポンプなどを用いて真空容器内を排気した場合に雰囲気内に残留する有機ガスを利用して形成することができる他、イオンポンプなどにより一旦十分に排気した真空中に適当な有機物質のガスを導入することによっても得られる。このときの好ましい有機物質のガス圧は、前述の応用の

形態、真空容器の形状や、有機物質の種類などにより異なるため場合に応じ適宜設定される。

【0085】このとき用いられる有機物質としては、アルカン、アルケン、アルキンの脂肪族炭化水素類、芳香族炭化水素類、アルコール類、アルデヒド類、ケトン類、アミン類、フェノール、カルボン酸、スルホン酸などの有機酸類などを挙げることが出来、具体的には、メタン、エタン、プロパンなど $C_n H_{2n+2}$ で表される飽和炭化水素、エチレン、プロピレンなど $C_n H_{2n}$ 等の組成式で表される不飽和炭化水素、ベンゼン、トルエン、メタノール、エタノール、ホルムアルデヒド、アセトアルデヒド、アセトン、メチルエチルケトン、メチルアミン、エチルアミン、フェノール、蟻酸、酢酸、プロピオン酸等が使用できる。

【0086】この処理により、雰囲気中に存在する有機物質から、炭素あるいは炭素化合物が素子上に堆積し、素子電流 I_f 及び放出電流 I_e が、著しく変化するようになる。なお、上記のような有機物質ばかりではなく、一酸化炭素(CO)などの無機物質も活性化物質として利用可能である。堆積物1113は、単結晶グラファイト、多結晶グラファイト、非晶質カーボンのいずれかか、もしくはその混合物であり、膜厚は500[オングストローム]以下、より好ましくは300[オングストローム]以下である。

【0087】通電方法をより詳しく説明するために、図11の(a)に、活性化用電源1112から印加する適宜の電圧波形の一例を示す。本実施例においては、一定電圧の矩形波を定期的に印加して通電活性化処理を行ったが、具体的には、矩形波の電圧V_{ac}は14[V]、パルス幅T3は1[ミリ秒]、パルス間隔T4は10[ミリ秒]とした。なお、上述の通電条件は、本実施例の表面伝導型電子放出素子に関する好ましい条件であり、表面伝導型電子放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

【0088】図9の(d)に示す1114は該表面伝導型電子放出素子から放出される放出電流 I_e を捕捉するためのアノード電極で、直流高電圧電源1115及び電流計1116が接続されている。活性化用電源1112から電圧を印加する間、電流計1116で放出電流 I_e を計測して通電活性化処理の進行状況をモニターし、活性化用電源1112の動作を制御する。電流計1116で計測された放出電流 I_e の一例を図11(b)に示す。活性化用電源1112からパルス電圧を印加しはじめると、時間の経過とともに放出電流 I_e は増加するが、やがて飽和してほとんど増加しなくなる。このように、放出電流 I_e がほぼ飽和した時点で活性化用電源1112からの電圧印加を停止し、通電活性化処理を終了する。また、本図には図示していないが、素子に流れる電流 I_f のプロファイルもほぼ放出電流 I_e と同じになり、これをモニターすることで活性化の終了を判断する

ことも可能である。なお、上述の通電条件は、本実施例の表面伝導型電子放出素子に関する好ましい条件であり、表面伝導型電子放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。さらに前述した予備駆動処理を行うことで素子の特性が安定したものになった。以上のようにして、図9(e)に示す平面型の表面伝導型電子放出素子を製造した。

【0089】(垂直型の表面伝導型電子放出素子)次に、電子放出部もしくはその周辺を微粒子膜から形成した表面伝導型電子放出素子のもうひとつの代表的な構成、すなわち垂直型の表面伝導型電子放出素子の構成について説明する。図12は、垂直型の基本構成を説明するための模式的な断面図であり、図中の1201は基板、1202と1203は素子電極、1206は段差形成部材、1204は微粒子膜を用いた導電性薄膜、1205は通電フォーミング処理により形成した電子放出部、1213は通電活性化処理により形成した薄膜である。

【0090】垂直型が先に説明した平面型と異なる点は、素子電極のうちの片方(1202)が段差形成部材1206上に設けられており、導電性薄膜1204が段差形成部材1206の側面を被覆している点にある。したがって、前記図8の平面型における素子電極間隔L_sは、垂直型においては段差形成部材1206の段差高さとして設定される。なお、基板1201、素子電極1202及び1203、微粒子膜を用いた導電性薄膜1204については、前記平面型の説明中に列挙した材料を同様に用いることが可能である。また、段差形成部材1206には、例えばSiO₂のような電気的に絶縁性の材料を用いる。

【0091】次に、垂直型の表面伝導型電子放出素子の製法について説明する。図13の(a)～(f)は、製造工程を説明するための断面図で、各部材の表記は前記図12と同一である。

- 1)まず、図13(a)に示すように、基板1201上に素子電極1203を形成する。
- 2)次に、同図(b)に示すように、段差形成部材を形成するための絶縁層を積層する。絶縁層は、例えばSiO₂をスパッタ法で積層すればよいが、真空蒸着法や印刷法などの他の成膜方法を用いてもよい。
- 3)次に、同図(c)に示すように、絶縁層の上に素子電極1202を形成する。
- 4)次に、同図(d)に示すように、絶縁層の一部を、例えばエッチング法を用いて除去し、素子電極1203を露出させる。

【0092】5)次に、同図(e)に示すように、微粒子膜を用いた導電性薄膜1204を形成する。形成するには、前記平面型の場合と同じく、例えば塗布法などの成膜技術を用いればよい。

- 6)次に、前記平面型の場合と同じく、通電フォーミン

グ処理を行い、電子放出部を形成する（図9（c））を用いて説明した平面型の通電フォーミング処理と同様の処理を行えばよい）。

7) 次に、前記平面型の場合と同じく、通電活性化処理を行い、電子放出部近傍に炭素もしくは炭素化合物を堆積させる（図9（d））を用いて説明した平面型の通電活性化処理と同様の処理を行えばよい）。さらに前述した予備駆動処理を行うことで素子の特性が安定したものになった。以上のようにして、図13（f）に示す垂直型の表面伝導型電子放出素子を製造した。

【0093】（表示装置に用いた表面伝導型電子放出素子の特性）以上、平面型と垂直型の表面伝導型電子放出素子について素子構成と製法を説明したが、次に表示装置に用いた素子の特性について述べる。

【0094】図14に、表示装置に用いた素子の、（放出電流 I_e ）対（素子印加電圧 V_f ）特性、及び（素子電流 I_f ）対（素子印加電圧 V_f ）特性の典型的な例を示す。なお、放出電流 I_e は素子電流 I_f に比べて著しく小さく、同一尺度で図示するのが困難であるうえ、これらの特性は素子の大きさや形状等の設計パラメータを変更することにより変化するものであるため、2つのグラフは各々任意単位で図示した。

【0095】表示装置に用いた素子は、放出電流 I_e に関して以下に述べる3つの特性を有している。第一に、ある電圧（これを閾値電圧 V_{th} と呼ぶ）以上の大きさの電圧を素子に印加すると急激に放出電流 I_e が増加するが、一方、閾値電圧 V_{th} 未満の電圧では放出電流 I_e はほとんど検出されない。すなわち、放出電流 I_e に関して、明確な閾値電圧 V_{th} を持った非線形素子である。第二に、放出電流 I_e は素子に印加する電圧 V_f に依存して変化するため、電圧 V_f で放出電流 I_e の大きさを制御できる。第三に、素子に印加する電圧 V_f に対して素子から放出される電流 I_e の応答速度が速いため、電圧 V_f を印加する時間の長さによって素子から放出される電子の電荷量を制御できる。

【0096】以上のような特性を有するため、表面伝導型電子放出素子を表示装置に好適に用いることができた。例えば多数の素子を表示画面の画素に対応して設けた表示装置において、第一の特性を利用すれば、表示画面を順次走査して表示を行うことが可能である。すなわち、駆動中の素子には所望の発光輝度に応じて閾値電圧 V_{th} 以上の電圧を適宜印加し、非選択状態の素子には閾値電圧 V_{th} 未満の電圧を印加する。駆動する素子を順次切り替えてゆくことにより、表示画面を順次走査して表示を行うことが可能である。また、第二の特性かまたは第三の特性を利用することにより、発光輝度を制御することができるため、階調表示を行うことが可能である。

【0097】（多数の素子を単純マトリックス配線したマルチ電子源の構造）次に、上述の表面伝導型電子放出

素子を基板上に配列して単純マトリックス配線したマルチ電子源の構造について述べる。図15に示すのは、前記図6の表示パネルに用いたマルチ電子源の平面図である。基板上には、前記図8で示したものと同様な表面伝導型電子放出素子が配列され、これらの素子は行方向配線電極1003と列方向配線電極1004により単純マトリックス状に配線されている。行方向配線電極1003と列方向配線電極1004の交差する部分には、電極間に絶縁層（不図示）が形成されており、電気的な絶縁が保たれている。図15のB-B'に沿った断面を、図16に示す。

【0098】なお、このような構造のマルチ電子源は、あらかじめ基板上に行方向配線電極1003、列方向配線電極1004、電極間絶縁層（不図示）、及び表面伝導型電子放出素子の素子電極と導電性薄膜を形成した後、行方向配線電極1003及び列方向配線電極1004を介して各素子に給電して通電フォーミング処理と通電活性化処理及び予備駆動処理を行うことにより製造した。

【0099】以下本発明の中心になる通電活性化装置及びその方法について説明する。図1～3に示すのが本実施例における表面伝導型放出素子の通電活性化装置である。図1は、活性化に必要となる雰囲気をマルチ電子源基板の回りに作り出すための所謂真空チャンバー内の概略断面図である。図中101はチャンバー本体、102はマルチ電子源基板、103は基板の支持台、104は基板上の配線（不図示）との電気的接触手段、所謂プローブ部（以降プローブ部）、105は活性化ガス導入部、106は活性化ガス排気部である。

【0100】図2は、図1のチャンバー内のプローブ部104と電子源基板102のコンタクト及び配置をさらに詳細に表すための斜視図であり、基板及びプローブ部の一部を切り出した状態を示している。図中既に説明をした構成品については同じ部品番号を振ってある。102は図1の電子源基板であり、その構成は前述のように行配線1003及び列配線1004を含んでいる。また図1で示したプローブ部104はより詳細にはプローブ202及び導電部材201からなり、本実施例においてはプローブ202は、行配線1003の上に接觸している。プローブ202は電気的に導電部材201と接続されており、さらに図示していないが、導電部材は行配線単位に絶縁フランジ等を通してチャンバー101の外部に取り出されている。また、プローブが行配線に接觸するピッチは、素子に流れる電流 I_f 、行配線の線抵抗 r から求めて各素子に印加される電圧差が $0.1V$ 以下に、より望ましくは $0.01V$ 以下になるように、設計される。ここで、ピッチ数と I_f 、 r から実際に配線上の電圧分布量の計算の仕方について説明する。ピッチ間にある素子の数を n 、素子単位に流れる最大電流を i 、素子単位の行配線抵抗を r とすると、ピッチ内で発

生する行配線上の電位差 ΔV は

【0101】

$$\Delta V = r \times i \times n \times (n/2 + 1)/4 \quad (n \text{ が偶数の時})$$

$$= r \times i \times (n-1) \times ((n-1)/2 + 1)/4 + r \times 1/2 \quad (n \text{ が奇数の時})$$

で表される。本実施例においては、 $i = 2 \text{ mA}$ 、 $r = 5 \text{ m}\Omega$ であり、 $n = 96$ とすると $\Delta V = 0.0094 \text{ V}$ となり素子に掛かる電圧差はほとんど無視できるレベルとなつた。

【0102】また、プローブの接触位置は図1、2に示した様に活性化ガスの流れを妨げないように隣接する行配線間でそろえて配置した。これによって、活性化ガスがプローブ間をスムーズに流れ素子近傍の活性化ガスの濃度が均一になった。

【0103】図3は、図1、2で示したチャンバー中に設置したマルチ電子源基板に活性化電圧を印加するための駆動手段、所謂ドライバーを示すものである。本図において102は通電活性化をするために接続されている前述のマルチ表面伝導型放出素子基板（本実施例における電子源はマトリックス配線された物、フォーミングは完了している）であり、図1、2で示した様に、チャンバー中に設置されている。また、301は活性化電流検出部、302は活性化ライン選択部、303は通電活性化に必要な電圧を発生する電源、304は通電活性化波形及びライン選択部の動作を制御する制御部である。

【0104】本図を用いてドライバーの動作について説明する。電源部303は通電活性化に必要な電圧波形を発生するもので図11(a)に示したようなパルス波形を出力する。図でT3及びT4のそれぞれは電圧波形のパルス幅とパルス間隔を示し、本実施例ではT3を1マイクロ秒から10ミリ秒、T4を10マイクロ秒から100ミリ秒とした。制御部304は予め記憶された電圧値に基づいて電源303をコントロールすると共に、ライン選択部302を選択ラインを指示する。電源303から出力された電圧波形はライン選択部302に入力され電子源基板102の選択ラインに印加される。ライン選択部はリレー・やアナログスイッチなどのスイッチで構成され表面伝導型放出素子基板が $m \times n$ のマトリックスであるときsw1からswm(不図示)のようにm個が並列に並べられて電流検出部102を通して電子源基板のx配線端子Dx1からDxmに接続されている。また該スイッチは制御部304にてコントロールされ通電活性化するべきラインに電源303からの電圧波形が加わるよう作動する。

【0105】ライン選択部302から出力された通電活性化電圧は電流検出部301に入力される。ライン選択部302からの出力は配線Sx1からSxmを通して入力される。電流検出部は検出用の抵抗Rs1からRsmと該抵抗の両端電圧を計測する電圧計から構成される。

【0106】次に検出された電流値に基づいて制御部がどのようにして活性化パルスを印加するラインを切り換

【数11】

$$\Delta V = r \times i \times n \times (n/2 + 1)/4 \quad (n \text{ が偶数の時})$$

$$= r \times i \times (n-1) \times ((n-1)/2 + 1)/4 + r \times 1/2 \quad (n \text{ が奇数の時})$$

えていくかについて説明する。電流値は、一定の時間間隔毎に測定されるが制御部は前回の測定値と比較しその差が予め記憶してある値よりも小さくなつたときに現在選択されているラインの活性化が終了したと判断しライン選択部に次のラインに切り換えるように信号を送る。つまりIfの増加の傾きが一定値以下になつたことで活性化が終了したと判断するのである。このようにして1ライン目からmライン目まで順次活性化を実施していく。

【0107】以上説明したように本実施例の通電活性化装置を用いてマルチ表面伝導型放出素子を活性化したところ全てのラインで良好な電子放出特性が得られた。また該電子源を用いた画像形成装置を作成したところ均一性の優れた高品位な画像が得られた。なお本実施例では、マルチ表面伝導型放出素子として梯子型配線のものが接続されていても同様に適用可能である。

【0108】[実施例2] 以下に、本発明に係る第2実施例について詳細に説明する。図4は、本実施例の活性化装置における真空チャンバーを上から見た平面図を示したものである。本図で、102は前述のマルチ電子源基板、401はチャンバー本体、402は活性化ガス導入部、403は活性化ガス排気部である。本図では、わかりやすくするため本実施例にて使用するプローブ部については図示していないが、これについては図5にて別に示す。図4で示したように、より全面に活性化ガスの流れを均一化することを考えるとガスの導入口の数は多いほど良く、本図のような場合、電子源基板に対して斜め方向に流れが生じる部分があることを示している。このような場合は、プローブ各々をなるべく均等に離して配置することで、斜め方向の流れを妨げないようにすることが必要になる。

【0109】ここで、電子源基板については実施例1と同一のものを使用した。次に、実際のプローブの配置の仕方について図5を用いて説明する。図5において、図4と同じ部品に関しては同一の部品番号を振ってあるが、説明をしやすくするために行配線のみを明示しており、列配線、素子部については省略してある。またプローブの配置間隔を説明するために、行配線ピッチをP1、同じ行配線上のプローブのピッチをP2、隣接する行配線間のプローブのX方向ピッチをP3とする。ここで、P1、P3については前述の通り実施例1と同一のマルチ表面伝導型電子放出素子基板を用いているので同じである。そこで本実施例においてはP2をどのように決めるかが、ポイントになる。また、本実施例においては、プローブの構造上繰り返しパターンにした方が、設計しやすいため、P2でP3が割り切れるように、つまり

り、

【0110】

$$P_3 = k \times P_2 \quad (k \text{ は正の整数}) \quad (\text{式 } 11)$$

という制限事項を入れて決定した。

【0111】これらの前提から k を決めるには、隣接する行配線上に近接のプローブ間距離 (図5における d_1) と、同じX座標上にある近接プローブ間距離 (同じ

$$d_1 = k \times P_1 \\ d_2 = (P_2^2 + P_1^2)^{1/2}$$

で表され、さらに (1) 式から

【0113】

$$d_2 = ((P_3/k)^2 + P_1^2)^{1/2} \quad (\text{式 } 13)$$

さらに、実施例1から

【0114】

$$P_3 = 9.6 \times P_1 / 3.6 \quad (\text{列配線ピッチは行配線ピッチの } 1/3.6 \text{ なので})$$

$$d_2 = ((9.6 \times P_1 / 3.6 / k)^2 + P_1^2)^{1/2} \quad (\text{式 } 14)$$

となる。

【0115】これらから本実施例の場合 $k = 5$ となつた。つまり本図の通り行配線5本毎に同じX座標にプローブがくる繰り返しになる。第2実施例に使用するドライバーは実施例1におけるものと同様でありその動作についても同じなので説明は省略する。

【0116】以上説明したように本実施例の通電活性化装置を用いてマルチ表面伝導型放出素子を活性化したところ全てのラインで良好な電子放出特性が得られた。また該電子源を用いた画像形成装置を作成したところ均一性の優れた高品位な画像が得られた。なお本実施例においても、マルチ表面伝導型放出素子として梯子型配線のものが接続されていても同様に適用可能である。また、以上説明した構成、手段は前述の予備駆動処理においても有効であり、これを適用することでさらに素子の均一性が向上した。

【0117】また、実施例1及び2で説明した配線数、配線ピッチ、配線抵抗等はこれに限定されるものではなく、またこれに適用されるプローブのピッチについても素子の特性に影響を与えない範囲で適宜変更できるのは言うまでもないことである。

【0118】【実施例3】本発明の第3の実施例について、図22~図24を用いて説明する。本実施例における活性化駆動方法についてまず述べる。ここで、本実施例においても活性化駆動装置としては図3のものを使用

$$Q = 16 \times 0.003 \times 3072 \times 6 = 900 \text{ W}$$

にもなる。また、この発熱は、マルチ電子源基板全体で均一に発生するわけではなく、基板のマトリックス素子部で集中して発生し、取り出し配線部など周囲では発生しない。基板の発熱部を表わしているのがZ02Aである。このために発生する温度分布を改善または解消するために基板支持台103の中にはヒータユニットZ201-1、Z201-2…、及び、水冷管Z202-1、

【数12】

$\langle d_2 \rangle$ を計算してそれらのうちで小さい方が最も大きくなるような k を求めれば良い。

【0112】

【数13】

$$(\text{式 } 12)$$

【数14】

$$(\text{式 } 13)$$

【数15】

した。

【0119】駆動方法として前述の実施例と異なるのはライン選択部302に同時に6ラインを選択して電圧を印加したことである。また、駆動波形は図11(a)で示した波形で $T_3 = 1 \text{ m sec}$ 、 $T_4 = 10 \text{ m sec}$ のものを用いた。また、T3毎に選択ラインを切り替えることでT4毎に60ラインを走査、活性化駆動を行なった。この時の駆動タイミングチャートを、図22に示す。このタイミングチャートは、80ライン毎に同時に電圧パルスが印加されているのを示している。この駆動方法により活性化駆動時間が大幅に(1ラインずつ駆動する場合と比べて60分の1に)低減された。

【0120】活性化を行なう雰囲気は、図1と同様に真空チャンバー101の中にマルチ電子源基板102が配置されることで実現される。本実施例において前述の実施例と異なるのは、基板支持台103であり、本実施例における基板支持台を図23に示す。

【0121】前述した通り、本実施例においては、同時に6ラインのマルチ電子源に電圧を印加して活性化を行なったため基板での発熱が大幅に上昇した。この発熱は、活性化電圧 $V_{act} = 16 \text{ V}$ 、活性化終了直前の各素子の $I_f = 3 \text{ mA}$ 、とすると、

【0122】

【数16】

Z202-2…が設置されており、マルチ電子源基板全体が設定された温度 T_{set} になるよう不図示の温度コントローラで、ユニット単位で制御される。温度制御が必要な理由は、活性化時の基板の温度に依存してその後の素子の特性 (I_f 、 I_e) が変化するために、活性化基板上に温度分布が発生するとマルチ電子源の特性分布が発生するためである。

【0123】次に、図24を用いてプローブ導電部材201の設置高さについて説明する。本実施例では、上述したように同時に6ラインを活性化駆動するために、活性化材料（有機化合物）ガスの供給量も大幅に大量になった。その量は、他の実験からおよそ50リットル/secと見積もられた。実際にこの流量を導電部材201と基板との間に流すと、これらで構成されるコンダクタンスが小さすぎる場合、基板表面での活性化ガス圧力に分布が生じてしまう。この圧力分布は、結果的に素子特性（I_f、I_e）の分布の要因になってしまう。そのため活性化ガスの圧力分布を抑えるためにはコンダクタンスを大きくとる必要がある。このため実際にコンダクタンスを大きくできるように基板表面と導電部材201の間隔d_pを変化させて実験したところ10mm以上で特性の分布がほぼ抑えられた。そこで本実施例においてはd_p=10mmを採用した。

【0124】以上説明したように、本実施例の通電活性化装置を用いてマルチ表面伝導型放出素子を活性化したことろ、全てのラインで良好な電子放出特性が得られた。また、該電子源を用いた画像形成装置を作成したところ均一性に優れた高品位な画像が得られた。尚、本実施例では、マルチ表面伝導型放出素子として、梯子型配線のものが接続されていても同様に適用可能である。

【0125】また、基板表面とプローブ導電部材201の間隔については、同時に活性化駆動が行なわれるライン数、実際必要とされる素子特性（I_f、I_e）の絶対量、活性化ガスの種類などによってもさらに大きくとる必要があるため上記に限定されるわけでもない。また、同時駆動ライン数についても同様に上記6ラインに限定されるものではない。

【0126】

【発明の効果】以上説明したように、配線上に電気的に接触するプローブを適宜のピッチで、なおかつ活性化ガスの流れに悪影響を与えないように配置することで配線上に発生する電圧分布が解消されさらに活性化ガスの分布が無く、素子特性の均一な電子源が実現できた。さらに同様の構成を予備駆動処理においても適用することが可能である。またこの電子源を利用して輝度むらのない高品位な画像形成装置を実現することができた。

【図面の簡単な説明】

【図1】 本発明の第1の実施例のプローブ部分の断面図である。

【図2】 本発明の第1の実施例のプローブ部分の斜視図である。

【図3】 本発明の第1の実施例に係る駆動手段を示す図である。

【図4】 本発明の第2の実施例に係る通電装置のガスの流れを示す図である。

【図5】 本発明の第2の実施例のプローブの配置を説明する図である。

【図6】 本発明を適用可能な表示パネルの一部を切り欠いた斜視図である。

【図7】 本発明を適用可能な表示パネルに用いられる螢光体及び黒色導体の配置を示す図である。

【図8】 本発明を適用可能な平面型の表面伝導型放出素子を示す概略平面図及び断面図である。

【図9】 図8の電子放出素子の製造工程を示す図である。

【図10】 図9の製造工程におけるフォーミング工程で使用する電圧パルスを示す図である。

【図11】 図9の製造工程における予備駆動工程で使用する電圧パルスを示す図である。

【図12】 本発明を適用可能な垂直型の表面伝導型電子放出素子を示す概略平面図及び断面図である。

【図13】 図12の電子放出素子の製造工程を示す図である。

【図14】 本発明を適用可能な表面伝導型電子放出素子の電気特性を示す図である。

【図15】 図6の表示パネルに用いられるマルチ電子ビーム源の平面図である。

【図16】 図15のA-A'に沿った断面図である。

【図17】 本発明の適用が可能な電子放出素子の電気特性の一例を示すグラフである。

【図18】 図17の目盛りを変更して表した電気特性図である。

【図19】 本発明の実施例に係る予備駆動に使用される電圧波形を示す図である。

【図20】 本発明の実施例に係る電子放出素子についての、放出電流I_e及び素子電流I_fと素子電圧V_fの関係の一例を示すグラフである。

【図21】 本発明の実施例に係る電子放出素子についての、放出電流I_e及び素子電流I_fと素子電圧V_fの関係の一例を示すグラフである。

【図22】 実施例3における活性化の駆動タイミングチャートを示す図である。

【図23】 実施例3における基板支持台を示す断面図である。

【図24】 実施例3におけるプローブ部分の斜視図である。

【図25】 表面伝導型放出素子の概略平面図である。

【図26】 単純マトリックス配置の電子源の概略図である。

【図27】 本発明を適用可能なM行N列の電子源の電子放出素子配置図である。

【図28】 本発明を適用可能な通電活性化の様子を示す説明図である。

【図29】 本発明を適用可能な梯子型配線されたマルチ表面伝導型電子放出素子基板の構成図である。

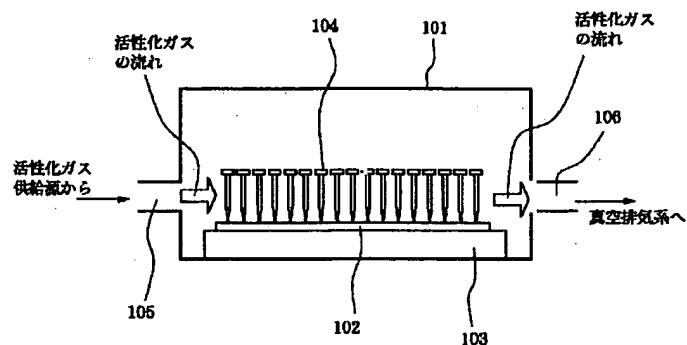
【符号の説明】

102：電子源基板、104：プローブ部、1003：

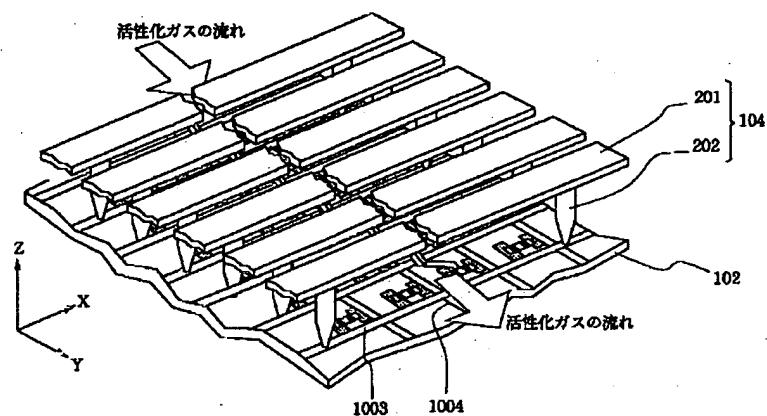
行配線、1004：列配線、201：導電部材、20

2：プローブ。

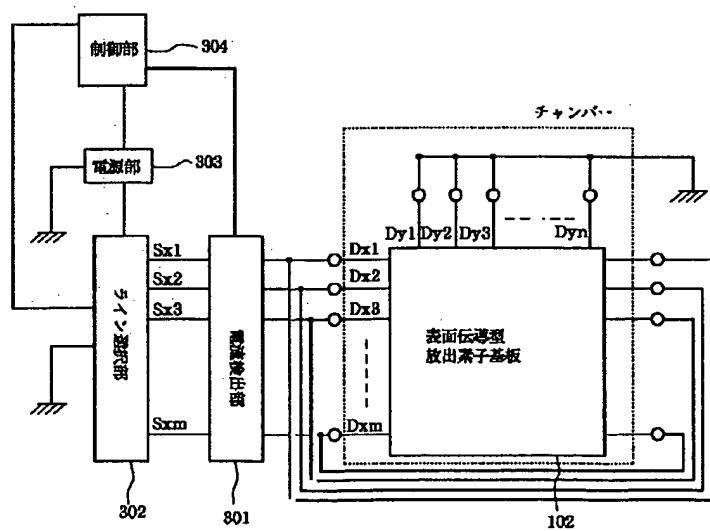
【図1】



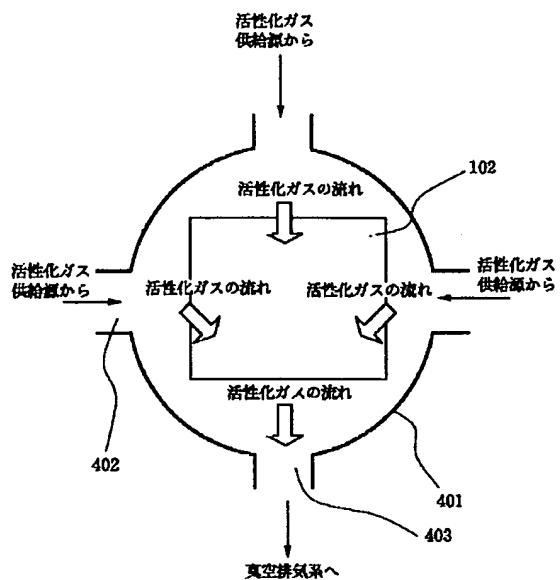
【図2】



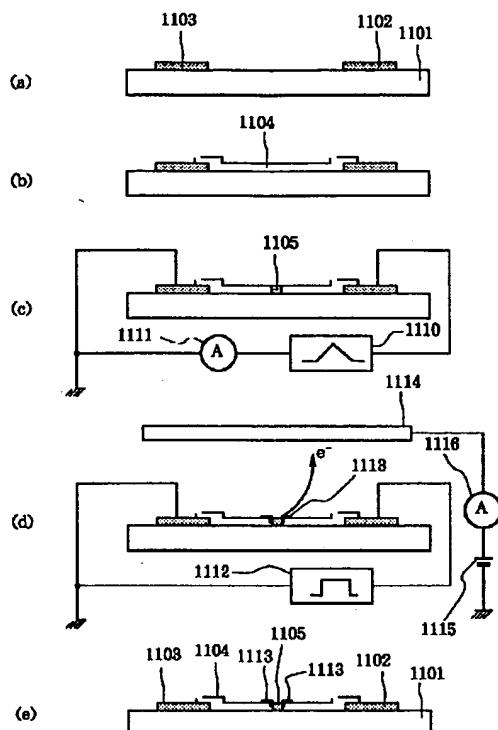
【図3】



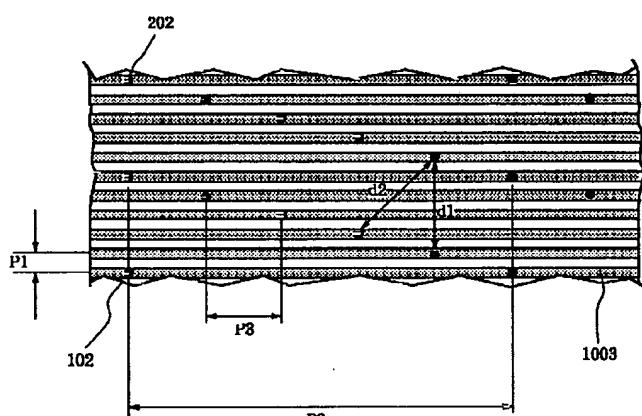
【図4】



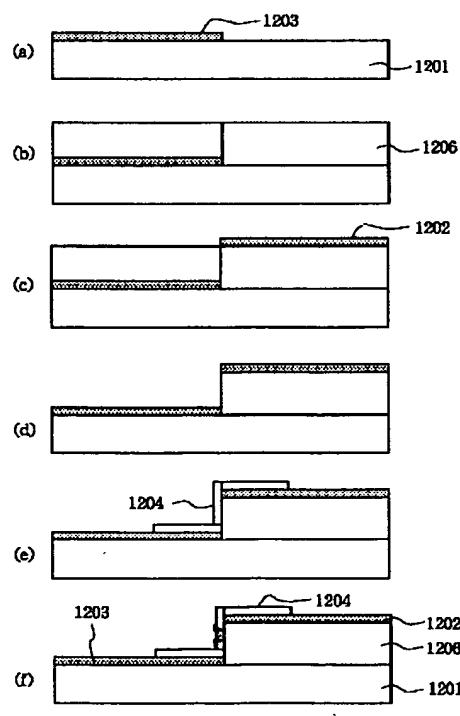
【図9】



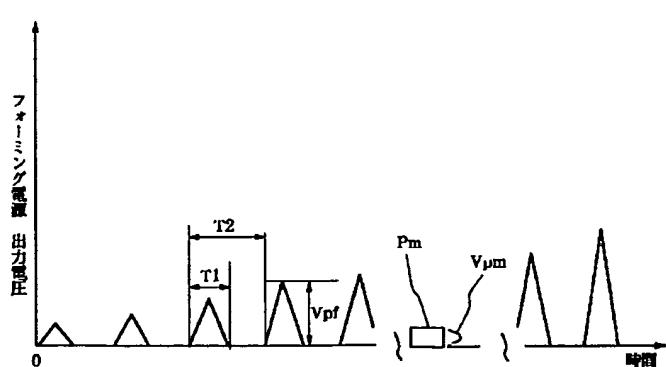
【図5】



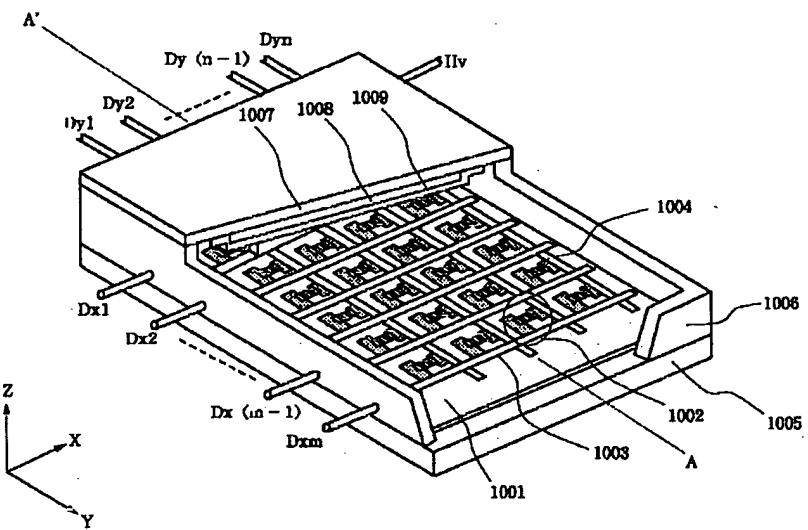
【図13】



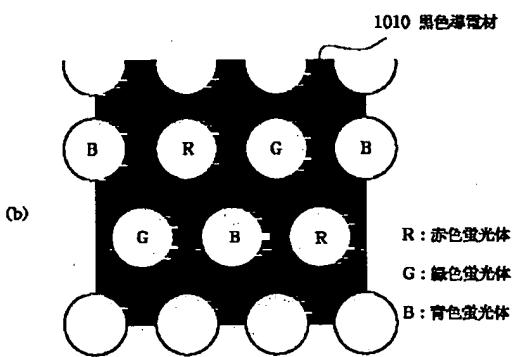
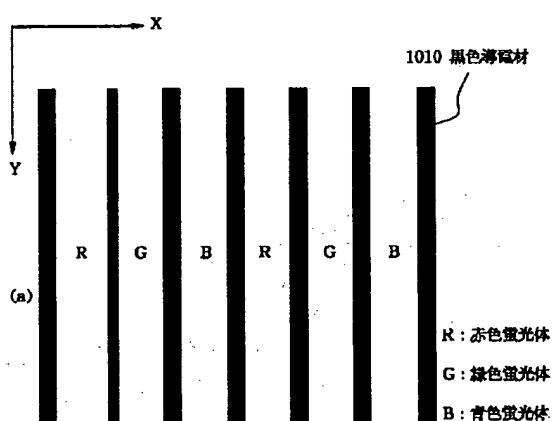
【図10】



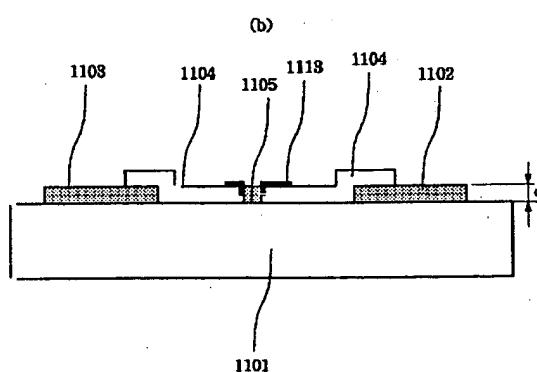
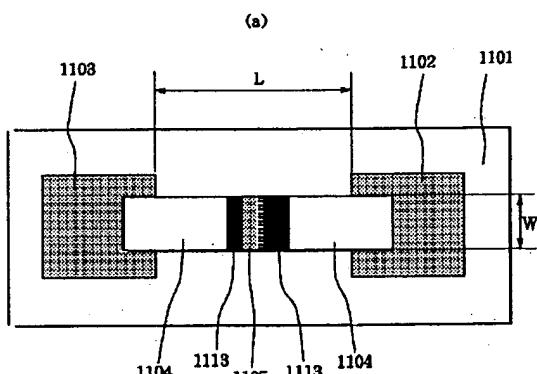
【図6】



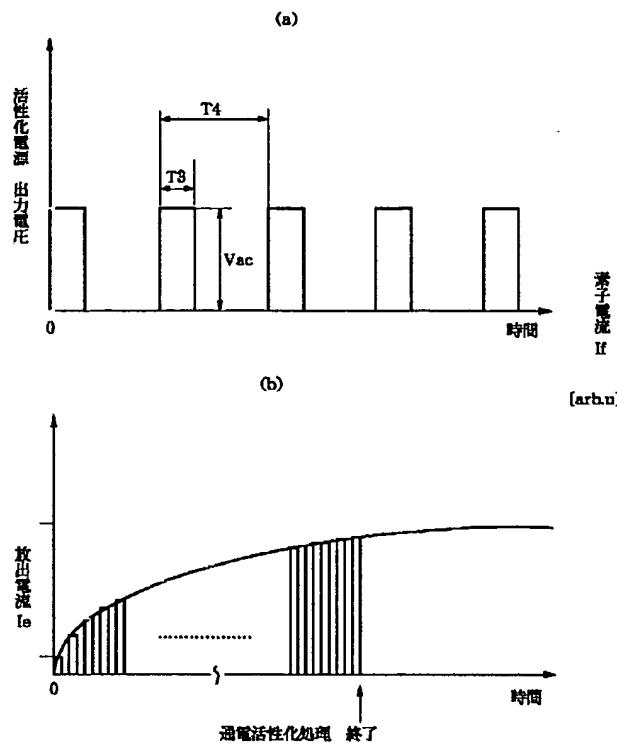
【図7】



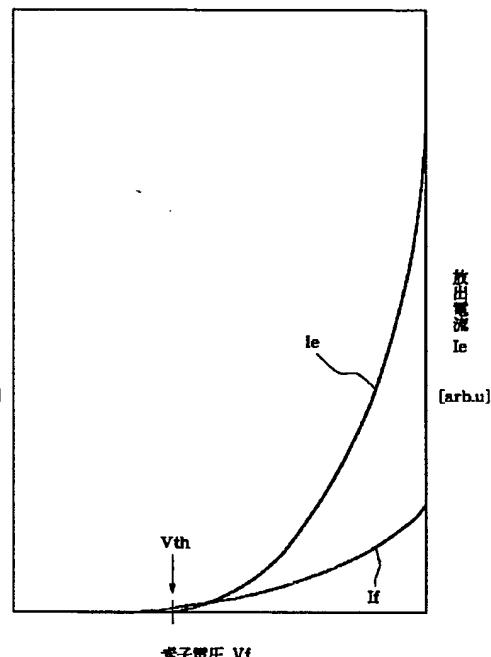
【図8】



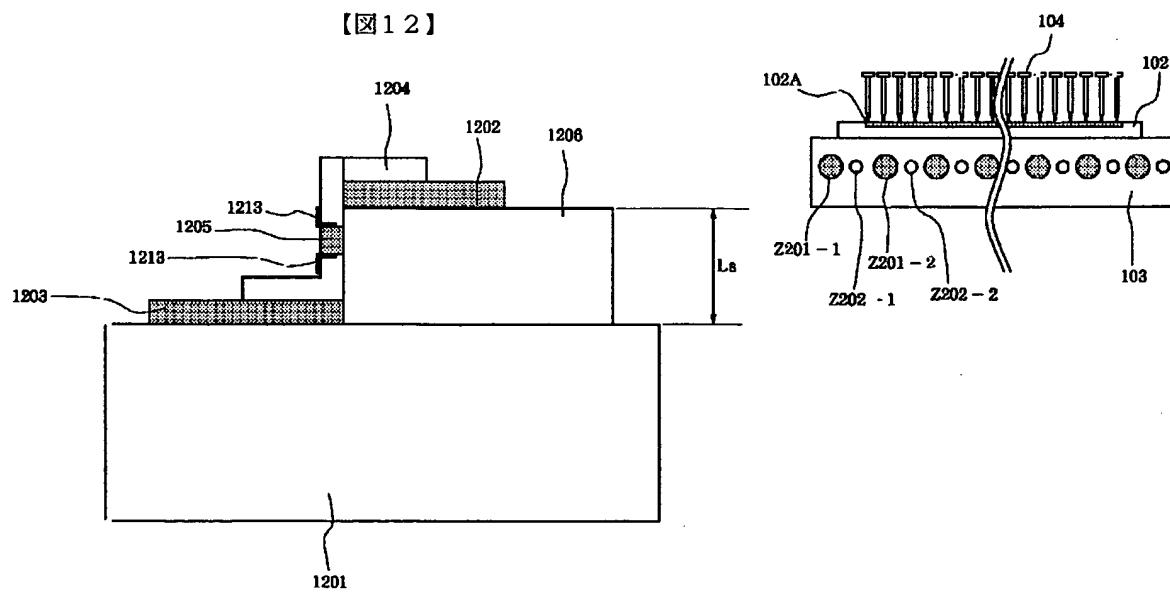
【図11】



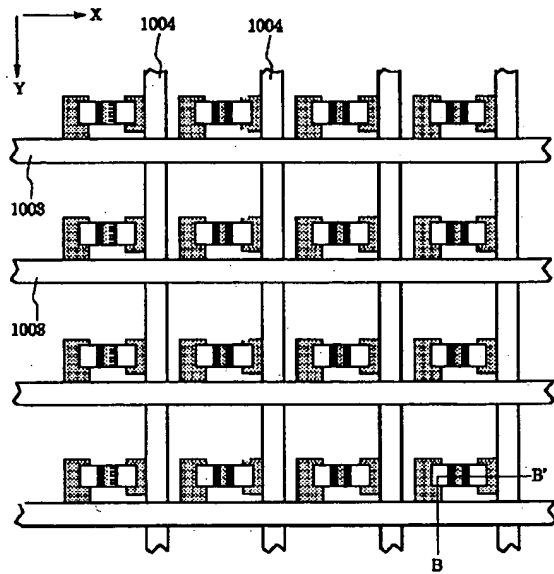
【図14】



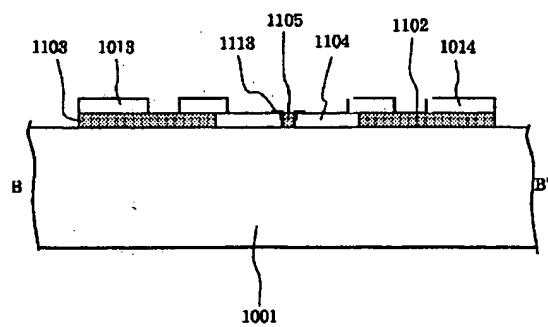
【図23】



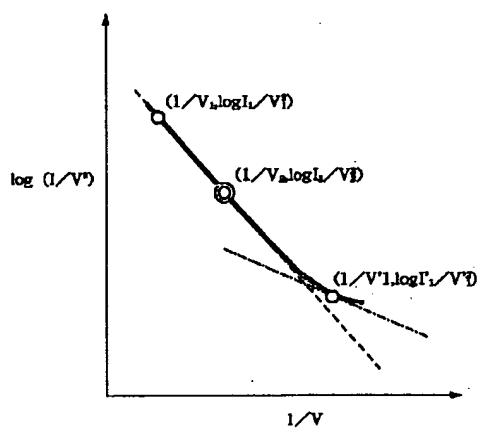
【図15】



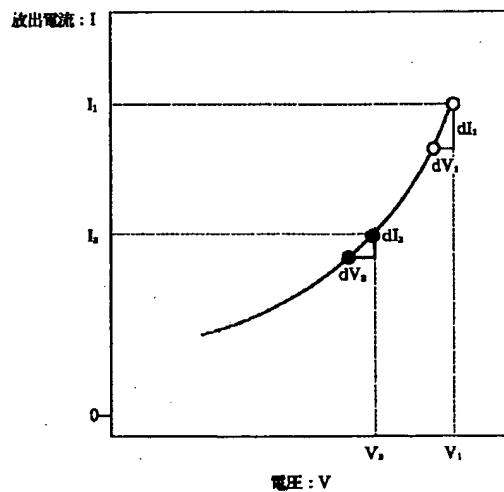
【図16】



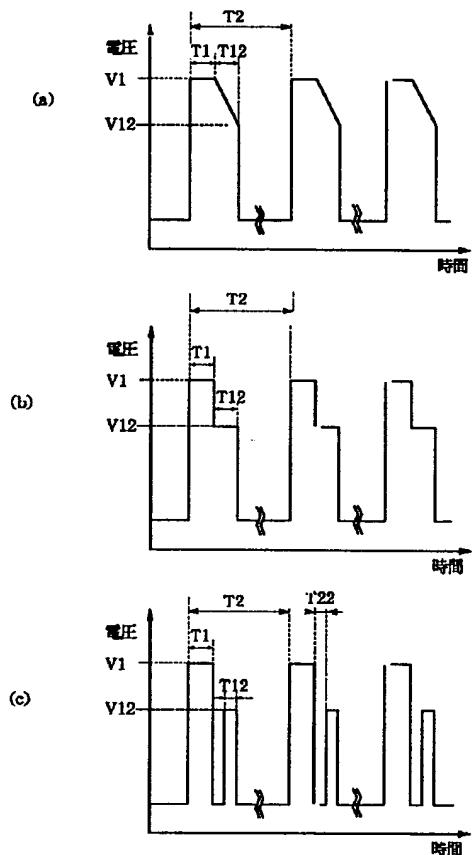
【図17】



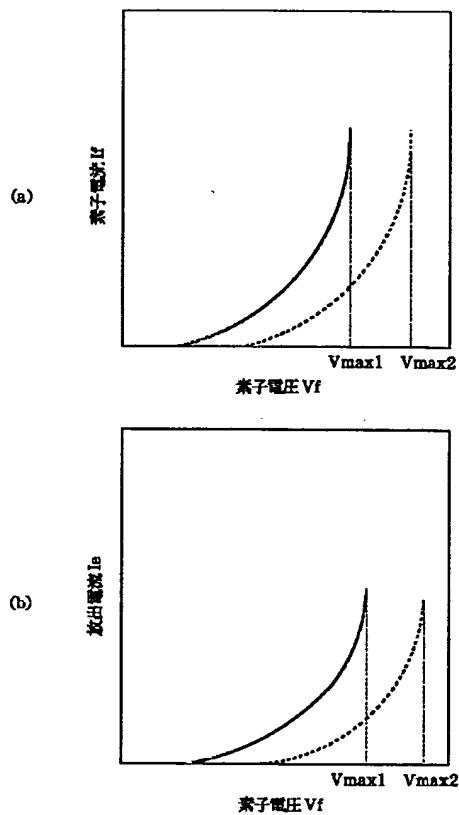
【図18】



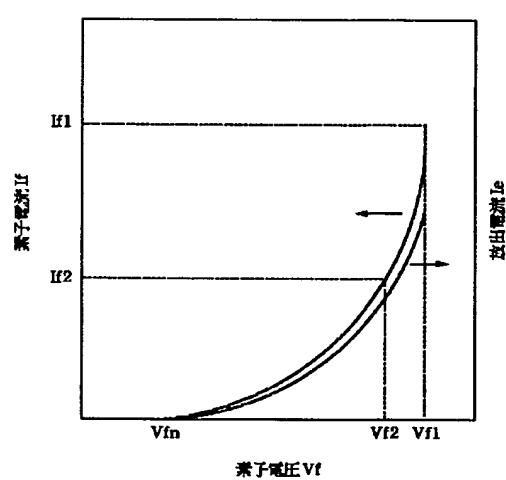
【図19】



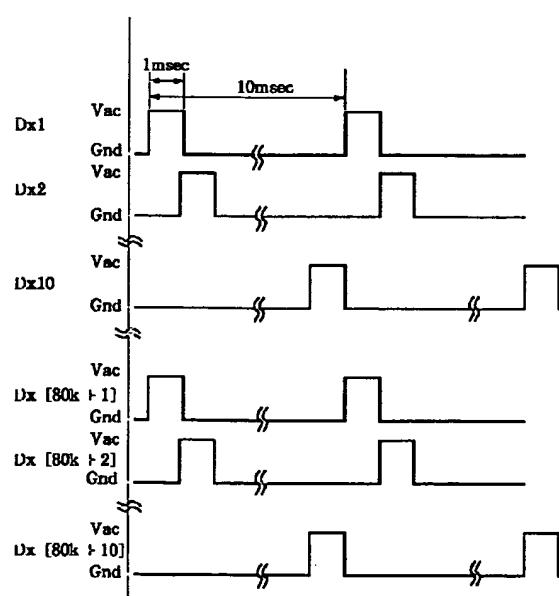
【図20】



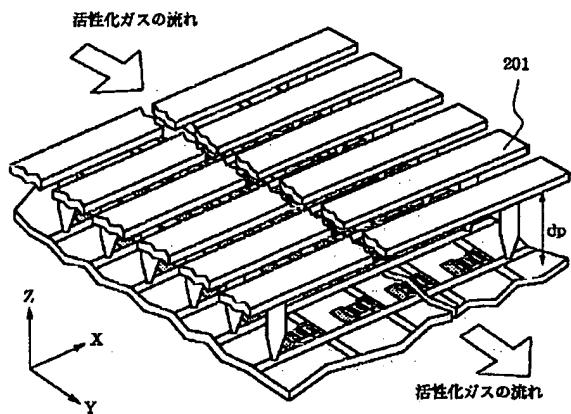
【図21】



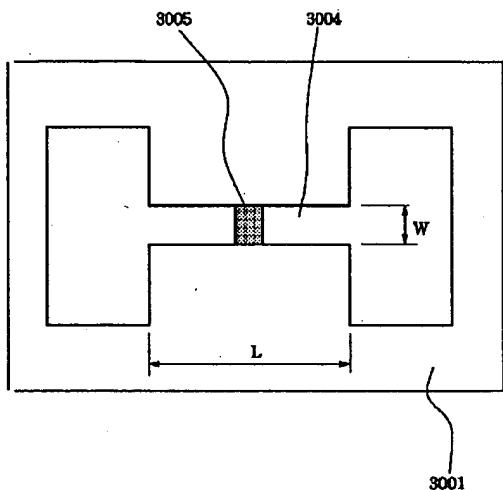
【図22】



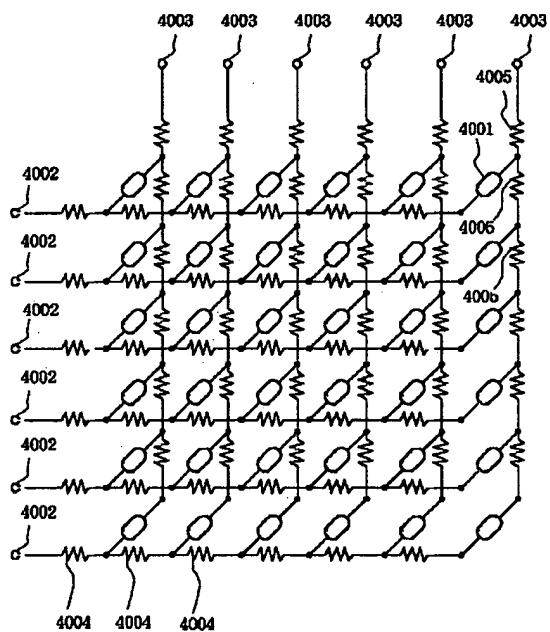
【図24】



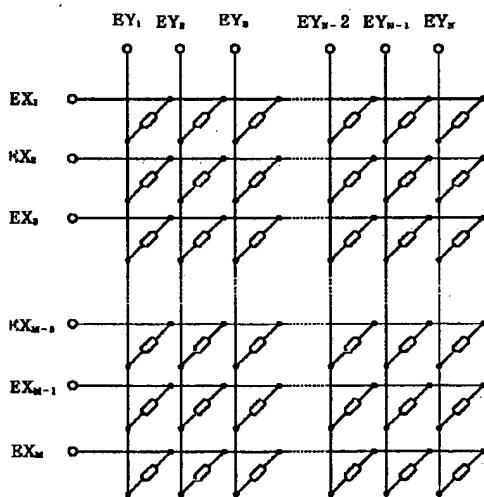
【図25】



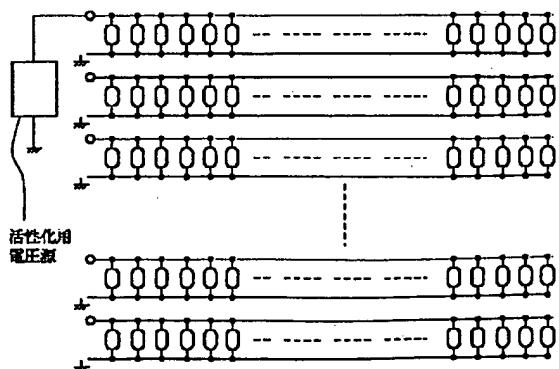
【図26】



【図27】



【図29】



(24) 00-311603 (P2000-311603A)

【図28】

